

특 1999-0078257

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.  
G09G 3/36(11) 공개번호 특 1999-0078257  
(43) 공개일자 1999년 10월 25일

(21) 출원번호 10-1999-0010289  
 (22) 출원일자 1999년 03월 25일  
 (30) 우선권주장 10-07679? 1998년 03월 25일 일본(JP)  
 (71) 출원인 샤프 가부시키가이샤 마쓰다 가즈히코  
 일본 오사카시 오사카시 마베노우 나가미즈 22번 22고  
 (72) 발명자 다나카시게끼  
 일본 나라나라시 마루야마 1-1079-154  
 다마이시게끼  
 일본 나라요시 노군요시 노초탄지 94-1  
 (74) 대리인 손창규, 백덕열, 이태희

설사구 : 있음

(54) 액정패널의 구동방법 및 액정표시장치

## 요약

본 발명의 목적은 라인 반전 구동법의 액정 표시 장치의 표시 품질을 향상시키는 것이다. 본 액정 표시 장치는 액티브-매트릭스 방식의 액정 패널을 라인 반전 구동법을 사용하여 구동시킨다. 이로써, 공통 드리버는 액정 패널의 모든 화소 내의 한 쌍의 전극 중 하나의 전극을 표류 구동시킨다. 기산 회로는 예상된 수평 기간마다 액정 패널 내의 하나의 열 내의 각 화소의 계조를 결정하기 위한 복수의 계조 성분의 힘을 얻는다. 소스 드라이버의 전압 설정부는 상기 수평 기간마다 기준 전압차  $\Delta V_{ref}$ 를 상기 함에 따라 보정하고, 상기 보정된 기준 전압차  $\Delta V_{ref}$ 를 분입하고, 상기 계조 전압으로부터 복수의 계조 성분에 따른 액정 패널 내의 복수의 데미터선에 인가될 전압을 선택한다. 상기 선택된 복수의 전압은 데미터선에 인가된다.

## 도표도

## 도 1

## 도 2

## 도 3

- 도 1은 본 발명의 하나의 실시예에 따른 액정 표시 장치(41)의 전기적 구성을 나타내는 블록도이다.  
 도 2는 액정 표시 장치(41)에 설치된 액정 패널(43)의 등가 회로를 나타내는 도면이다.  
 도 3은 액정 패널(43) 내의 임의의 하나의 화소(58)의 구성 및 액정 패널(43) 내의 화소(58)의 주변부의 구성을 나타내는 도면이다.  
 도 4는 액정 표시 장치(41)에 설치된 보정 제어 회로(62)의 전기적 구성을 나타내는 블록도이다.  
 도 5는 액정 표시 장치(41)에 설치된 소스 드라이버(46)의 전기적 구성을 나타내는 블록도이다.  
 도 6은 소스 드라이버(46)에 설치된 레벨 보정 회로(77) 및 계조 전압 발생 회로(78)의 전기적 구성을 나타내는 블록도이다.  
 도 7은 액정 표시 장치(41)에 설치된 비트 연산 회로(100)의 전기적 구성을 나타내는 블록도이다.  
 도 8은 액정 표시 장치(41)에 설치된 보정 제어 회로(106)의 전기적 구성을 나타내는 블록도이다.  
 도 9는 소스 드라이버(46)에 설치된 레벨 보정 회로(107) 및 계조 전압 발생 회로(78)의 전기적 구성을 나타내는 블록도이다.  
 도 10은 증래의 액정 표시 장치에 설치된 소스 드라이버(1)의 전기적 구성을 나타내는 블록도이다.  
 도 11은 액정 표시 장치(1) 내에 설치된 액정 패널 내의 복수의 주사선에 공급된 복수의 주사 신호의 타이밍 차트이다.  
 도 12는 액정 표시 장치(1)가 라인 반전 구동법을 사용하여 구동될 때, 하나의 주사 신호와, 액정 패널 내의 복수의 게이트선에 공급된 복수의 주사 신호 중 하나와 액정 패널 내의 공통 전극에 인가된 전압을 나타내는 타이밍 차트이다.  
 도 13a 및 13b는 액정 표시 장치(1)가 라인 반전 구동법을 사용하여 구동될 때, 임의의 프레임 및 그 다른

특 1999-0078257

을 프레임에서 액정 패널 내의 모든 화소에 흐르는 전류의 극성을 나타내는 도면이다.

도 14는 액정 표시 장치(1)의 등가 회로도이다.

도 15는 액정 표시 장치(1)가 라인 반전 구동법을 사용하여 구동될 때, 데이터 신호에 기인한 화소 전극에 보류한 전압차를 나타내는 도면이다.

도 16은 액정 표시 장치(1)가 도트 반전 구동법을 사용하여 구동될 때, 하나의 주사 신호와, 액정 패널 내의 복수의 게이트선에 공급된 복수의 주사 신호 중 하나와 액정 패널 내의 공통 전극에 인가된 전압을 나타내는 타이밍 차트이다.

도 17a 및 17b는 액정 표시 장치(1)가 도트 반전 구동법을 사용하여 구동될 때, 임의의 프레임 및 그 다음 프레임에서 액정 패널 내의 모든 화소에 흐르는 전류의 극성을 나타내는 도면이다.

### 표명의 상세한 설명

#### 표명의 목적

##### 표명이 속하는 기술 및 그 분야의 종래기술

본 발명은 멀티컬러 표시 또는 원전-컬러 표시가 실행될 때, 또는 화상이 표시되는 액정 패널의 크기가 변동될 때, 고종질의 화상을 표시하기 위한 액정 패널의 구동 방법 및 액정 표시 장치에 관한 것이다.

복막 트랜지스터(이후, 'TFT'로 청함)를 사용하는 통상적인 액티브-메트릭스형 액정 표시 장치는 매트릭스 형태로 배치된 복수의 화소 및 액정 패널에 전기 신호를 공급하는 액정 구동부를 포함하는 액정 패널을 포함한다. 각 화소는 액정이 전극과 대향 사이에 존재하는 구조를 갖는다. 액정 패널은 상기 복수의 화소 이외에 복수의 주사선, 복수의 데이터선 및 복수의 TFT를 포함한다. 각 화소의 전극은 하나의 TFT를 통하여 하나의 데이터선에 접속된다. 모든 화소의 대향 전극은 서로 연결되어 하나의 공통 전극을 형성한다. 액정 구동부는 주사선에 전기 신호를 공급하는 게이트 드라이버, 데이터선에 전기 신호를 공급하는 소스 드라이버 및 공통 전극을 포함한다.

도 10은 소스 드라이버(1)의 전기적 구성을 나타내는 블록도이다. 소스 드라이버(1)는 입력 래치 회로(2), 시프트 레지스터(3), 샘플링 메모리(4), 퀄드 메모리(5), M/A 변환기(6), 계조 전압 발생 회로(7) 및 출력 회로(8)를 포함한다. 소스 드라이버(1)에는 표시될 화상을 표시하는 화상 데이터가 제공된다. 화상 데이터는 화상을 구성하는 각 화소의 휘도, 채도 및 색상을 나타내는 데이터를 포함한다. 화상의 각 화소는 액정 패널에 있어서 적색, 초생 및 녹색 필터를 갖는 세 개의 화소의 한 세트에 해당한다. 따라서, 각 화소 데이터는 세 종류의 계조 성분, 즉 R(적색), G(녹색) 및 B(청색) 성분을 포함하며, 상기 계조 성분은 64단계의 계조를 나타낸다.

먼저, 각 화소 데이터의 세 종류의 계조 성분은 래치를 입력 래치 회로(2)에 순차적으로 공급된다. 클록 신호 CK에 대응하여 동작하는 시프트 레지스터(3)를 통하여 소스 드라이버(1) 외부의 제어 회로로부터 제어되는 동기 신호 SPI를 기준으로, 샘플링 메모리(4)는 입력 래치 회로(2)에 의해 래치된 화상 데이터를 샘플링한다. 그 결과, 단일 수평 기간 1시간 내에 소스 드라이버(1)로부터 액정 패널로 공급되는 전기와 화상의 각 화소는 액정 패널에 있어서 적색, 초생 및 녹색 필터를 갖는 세 개의 화소의 한 세트에 해당한다. 상기 계조 성분은 샘플링 메모리(4)에 기억된다. 복수의 계조 성분은 액정 패널의 수평 기간의 동기 신호 LS와 동시에 샘플링 메모리(4)에서 퀄드 메모리(5)로 전송된다.

퀴드 메모리(5)는 전송되는 복수의 계조 성분을 래치시키고, 또 복수의 계조 성분을 M/A 변환기(6)에 공급한다. 계조 전압 발생 회로(7)는 예정된 두 개의 기준 전압 Vref1과 Vref2의 전압차를 분할하고, 64종류의 계조 전압을 결정하며 M/A 변환기에 상기 계조 전압을 공급한다. 각 계조 전압은 화소가 켜질 수 있는 64단계의 계조 중 하나에 해당한다. D/A 변환기(6)는 64종류의 계조 전압 중에서 공급된 복수의 계조 성분으로 표시될 계조에 대응하는 계조 전압을 선택하며, 상기 선택된 계조 전압을 출력 회로(8)에 공급된다. 출력 회로(8)는 상기 선택된 계조 전압을 일파면소변환기와 일파면소변환된 계조 전압에 따라 전자 액정 패널의 소스 라인을 출전 또는 방전시킨다. 그 결과, 액정 패널의 소스 라인에 화상 데이터를 기본으로 하는 전압의 전기 신호가 소위 데이터 신호로서 공급된다.

각 화소 내에는 화소 전극 및 대향 전극이 콘덴서의 전극으로 작용하기 때문에, 예컨대 기생 용량으로 불리는 정전 용량이 존재한다. 즉, 화소에 의해 보유된 전압에 대응하는 데이터 신호가 소스 드라이버로부터 데이터 라인으로 공급되며, TFT의 상태가 변화되고, 이로써 전압이 화소에 기록될 수 있어서 화소에 의해 보유된다.

예컨대, 모든 TFT 중에서 하나에 있어서, 게이트 드라이버에서 TFT의 게이트 단자가 접속된 주사선으로 공급되는 전기 신호 즉, 주사 신호의 전압이 (+)로 될 때, (+) 전압이 게이트 단자에 인가되고, 그 결과 TFT 중 하나가 소위 ON 상태로 충전된다. 그 결과, TFT 중 하나가 접속된 화소 전극을 포함하는 화소는 (-) 전압이 게이트 단자에 인가되고, 그 결과 TFT 중 하나가 소위 OFF 상태로 충전된다. 그 결과, 화소 내의 화소 전극과 대향 전극 사이의 전압은 TFT 중 하나가 OFF 상태로 충전될 때 화소 전극과 대향 전극 사이에 인가된 전압으로 유지된다. 그 결과, 보유된 전압은 화소에 기록된다. 화소 내의 액정층의 투과 소의 계조를 화소에 의해 보유된 전압으로 제어함으로써, 액정 패널상에 화상이 표시된다.

액정 패널은 액정이 분극되지 않도록 반전 구동된다. 반전 구동 방법은 소위 도트 반전 구동법 및 라인 반전 구동법을 포함한다. 이후의 설명에서는 액정 패널의 화소가 6행 5열로 배열된 것으로 본다.

먼저, 액정 표시 장치가 라인 반전 구동법에 의해 구동될 때, 상술한 구조의 액정 표시 장치의 행동을 설명한다. 도 11은 액정 표시 장치 내의 게이트 드라이버로부터 6개의 주사선에 공급되는 복수의 주사 신

1999-0078257

호(11a 내지 11f)의 타이밍 차트이다. 도 12는 액정 표시 장치에 있어서 주사 신호(11a 내지 11f)를 하나의 주사 신호(11), 소스 드라마버(1)로부터 5개의 데이터 라인으로 공급되는 복수의 데이터 신호 중 하나의 데이터 신호(12) 및 공통 전극에 인가된 전압(13)의 타이밍 차트이다. 도 11 및 12를 함께 설명한다.

주사 신호(11a 내지 11f)는 예정된 프레임 표시 기간 대의 간격으로 예정된 단일 수평 기간 때 동안 높은 레벨에서 유지되며, 나머지 기간 동안은 낮은 레벨로 유지된다. 수평 기간 주기의 1주기에 해당하는 시간 내에 복수의 주사 신호(11a 내지 11f)가 높은 레벨에서 유지될 때, 타이밍은 신호 상호간에 상이하다. 따라서, 하나의 주사선상의 화소 행 내의 모든 화소에는 하나의 주사선에 공급되는 주사 신호가 높은 레벨로 유지될 때, 보유된 전압이 기록된다. 하나의 주사선상의 화소 행은 게이트 단자가 하나의 주사선에 접속된 복수의 TFT의 드레인 단자에 접속된 화소 전극을 포함하는 복수의 화소의 집합이다.

공통 전극에 인가된 전압(13)의 교류 성분의 주기는 수평 기간 때와 동일하다. 즉, 라인 반전 구동법이 사용될 때, 공통 전극은 5V 단일 전원에 의해 수평 기간 때와 동일한 주기로 교류 구동된다. 데이터 신호(12)의 교류 성분은 공통 전극에 인가된 전압(13)의 교류 성분의 진폭 중심으로 수평 기간 때 미하의 예정된 주기로 변화한다. 데이터 신호(12)의 교류 성분의 진폭은 화소의 제조에 따라 변화한다. 화소의 제조가 최대일 때, 즉, 화소가 흑색을 나타낼 때 데이터 신호(12a)의 교류 성분과 극성이 반대이다. 화소의 제조가 최소일 때, 즉, 화소가 백색을 나타낼 때 데이터 신호(12b)의 교류 성분과 극성이 반대이다. 화소의 제조가 최대일 때 및 화소의 제조가 최소일 때 모두 데이터 신호(12a) 및 (12b)의 진폭은 상기 공통 전극에 인가된 전압(13)의 교류 성분의 진폭보다 작다.

화살표(14)는 화소에 보유된 전압을 기록하기 위하여 화소 내를 흐르는 전류의 극성, 즉 보유된 전압이 화소에 기록될 때 데이터 선에 보유된 전압이 공통 전극에 보유된 전압보다 높은지 아닌지를 나타낸다. 화살표(14)가 상향이면, 데이터 선의 전압이 공통 전극의 전압보다 높기 때문에 극성은 (+)이다. 화살표(14)가 하향이면, 데이터 선의 전압이 공통 전극의 전압보다 낮기 때문에 극성은 (-)이다. 극성이 (+)일 때, 전류는 데이터 선에서 화소를 통하여 공통 전극으로 흐른다. 극성이 (-)일 때, 전류는 공통 전극에서 화소를 통하여 데이터 선으로 흐른다.

도 13a는 액정 표시 장치가 라인 반전 구동법을 사용하여 구동될 때, 주어진 프레임에 있어서, 액정 패널 내의 모든 화소에 상기 보유된 전압을 기록하기 위한 모든 화소 내의 전류의 극성을 나타낸다. 도 13b는 상술한 도 13a의 프레임에 있어서, 모든 화소 내의 전류의 극성을 나타낸다. 매트릭스 형태로 배열된 복수의 직사각형은 6행 5열의 액정 패널 내의 화소에 해당한다. 직사각형의 행은 화소의 행에 해당한다. 직사각형의 열은 화소의 열, 즉 TFT를 통하여 하나의 주어진 데이터 선에 접속된 화소 전극을 포함하는 모든 화소의 집합에 해당한다. 화소에 흐르는 전류의 극성이 (+)일 때, 상기 화소에 해당하는 직사각형 내에 '+'가 표시된다. 극성이 (-)일 때, 직사각형 내에 '-'가 표시된다.

액정 패널의 일의의 하나의 화소에 흐르는 전류의 극성은 최초의 프레임과 그 다음의 프레임 사이에서 반전된다. 최초의 프레임과 그 다음의 프레임 모두에 있어서, 하나의 열 내에서 인접된 2개의 화소에 흐르는 전류의 극성은 서로 다르며, 하나의 행 내에서 모든 화소에 흐르는 전류의 극성은 서로 동일하다. 그 결과, 전류가 공통 전극에 접속되며, 이로써 공통 전극에서 전압 강하가 발생하기 쉽다. 전압 강하가 발생할 때, 화소에 보유된 전압을 바르게 기록하는 것이 불가능하며, 이로써 액정 표시 장치의 표시 품질이 저하된다.

액정 표시 장치가 라인 반전 구동법을 사용하여 구동될 때, 액정 표시 장치의 표시 품질의 저하 원인을 도 14의 액정 표시 장치의 두가 화로를 사용하여 상세히 설명한다. 도 14에 있어서, 액정 패널(20)의 화소가 2월 2열로 배열되며, 공통 전극은 복수의 대향 전극(22)을 내부 저항 성분 rc를 갖는 도선(25)에 순차적으로 접속한 것을 나타낸다.

예컨대, (+) 극성 전류에 의해 상부로부터 제 1주사선(24a)상에 화소(21a 및 21b)에 상기 보유된 전압이 기록된 것으로 보인다. 이 경우, 게이트 드라마버로부터 출력(23a)을 바탕으로 제 1주사선(24a)에 공급된 주사 신호의 전압은 TFT를 ON 상태로 할 수 있는 전압인 반면, 게이트 드라마버로부터 출력(23b)을 바탕으로 상부로부터 제 2주사선에 공급된 주사 신호의 전압은 TFT를 OFF 상태로 할 수 있는 전압이다. 상술한 경우에 있어서, 제 1주사선(24a)상의 행의 화소(21a 및 21b)로 흐르는 전류는 파선(30)으로 나타내며, 같은 데이터 선(26a 및 26b)으로부터 TFT(27a 및 27b) 및 화소(28a 및 28b)를 통하여 공통 전극의 축부(29)로 흐른다.

상술한 바와 같이, 일의의 하나의 주사선상의 행 내의 모든 화소에 기록되는 전류의 극성이 서로 같을 때, 모든 화소 내를 흐르는 전류의 방향이 서로 동일하다. 따라서, 모든 화소로부터 유출된 전류는 공통 전극에 접속되며, 이로써 대향 전극(22) 사이에 위치하는 도선(25)의 저항 성분 rc 및 공통 전극의 축부(29)의 내부 저항 R에 기인하는 전압 강하가 발생한다. 그 결과, 도 15에 나타낸 바와 같이, 공통 전극과 화소 전극 사이의 실제 전압 V<sub>Y</sub>는 데이터 신호의 전압과 공통 전극에 인가된 전압과의 차 V<sub>Y</sub>보다 전압 강하량 V<sub>V</sub> 만큼 작다. 즉, 공통 전극이 실제로 보유한 전압은 전압 강하량 V<sub>V</sub> 만큼 화소 전극이 본래 보유한 전압보다 공통 전극의 전압에 더 가깝다.

전압 강하량 V<sub>V</sub>는 데이터 신호의 전압에 따라 다르다. 예컨대, 전압 강하량 V<sub>V</sub>는, 단일 수평 기간 때 내에 액정 패널에 공급된 모든 데이터 신호의 전압이 64개 조의 화소 전압의 최대 화소 전압일 때, 최대이다. 또한, 예컨대 전압 강하량은 모든 데이터 신호의 모든 전압이 64개 조의 화소 전압의 최소 화소 전압일 때, 최소이다. 모든 데이터 신호의 레벨은 화상 내의 데이터 신호의 표시하는 화상 내의 하나의 행의 화소의 제조 분포에 따라 결정되며, 화상 내의 행의 화소의 계조 분포는 서로 다른 경우가 많다. 따라서, 모든 데이터 신호의 레벨은 수평 기간마다, 즉 보유된 전압이 기록되는 행이 변화함에 따라 변한다.

그 결과, 1장의 화상이 액정 패널에 표시될 때, 화상에 소위 계조 불균일성이 발생하며, 중간 톤의 배경에 흑색의 원도우가 있는 화상이 액정 표시 장치에 표시될 때, 배경 내의 흑색 원도우의 주변부가 배경 내의 주변부 이외의 부분보다 더 밝색으로 보인다. 따라서, 상술한 경우에 있어서, 소위 획방향 색도우 이미 주제가 된다. 이상으로부터, 액정 표시 장치가 라인 반전 구동법을 사용하여 구동될 때, 액정 표시

특 1999-0078257

장치의 표시 품질이 저하된다.

지금부터, 상술한 구성의 액정 표시 장치가 도트 반전 구동법을 사용하여 구동될 때, 액정 표시 장치의 행렬을 설명한다. 도 16은 액정 표시 장치에 있어서, 주사 신호(31), 데이터 신호(32) 및 공통 전극에 인가된 전압(33)의 타이밍 차트이다. 신호(31, 32a, 32b, 33) 및 화살표(34)의 정의는 각각 도 12의 신호(11, 12a, 12b, 13) 및 화살표(14)의 정의와 같다. 주사 신호(31)는 도 12의 주사 신호(11)와 같다. 데이터 신호(32)의 교류 성분은 수평 기간 때보다 짧은 주기로 변화한다. 공통 전극에 인가된 전압(33)의 전압은 데이터 신호(32)의 교류 성분의 진폭 중심에서 항상 유지된다. 따라서, 액정 표시 장치는 공통 전극의 전압이 항상 동일하고 모든 화소 전극의 전압이 공통 전극의 전압에 대하여 대칭이 되도록 구동된다.

도 17a는 액정 표시 장치가 도트 반전 구동법을 사용하여 구동될 때, 임의의 프레임에 있어서, 액정 패널 내의 모든 화소에 보우를 전압을 기록하기 위한 모든 화소 내의 전류의 극성을 나타낸다. 도 17b는 상술한 도 17a의 프레임 앞의 프레임에 있어서, 모든 화소 내의 전류의 극성을 나타낸다. 도 17a 및 17b의 직사각형, '+' 및 '-'의 정의는 도 13a 및 13b의 직사각형, '+' 및 '-'의 정의와 같다.

액정 패널의 화소에 흐르는 전류의 극성은 최초의 프레임과 그 다음의 프레임에서 다르다. 최초의 프레임과 그 다음의 프레임 모두에 있어서, 하나의 열 내에서 인접된 2개의 화소에 흐르는 전류의 극성을 서로 다르며, 하나의 행 내에서 인접된 2개의 화소에 흐르는 전류의 극성도 서로 다르다. 그 결과, 하나의 주사선상의 행내의 모든 화소에 전압을 기록할 때, 인접된 2개의 화소에 전압을 기록하기 위하여 전류가 흐르는 방향을 서로 반대이며, 그 결과 2개의 인접된 화소로부터 유출되는 전류는 서로 상쇄된다. 따라서, 공통 전극의 전압이 안정화되며, 그 결과 화소 전극이 보유한 전압은 변하지 않는다.

#### 발명의 이루고자 하는 기술적 주제

도트 반전 구동법을 사용하여 액정 패널이 구동되는 통상적인 액정 표시 장치는 일본 특허공개 평성 5-341732호(1993) 공보의 액티브-매트릭스형 액정 표시 장치를 포함한다. 상기 액정 표시 장치에 있어서, 데이터 신호의 교류 성분의 진폭에 따라서 공통 전극의 전압이 화소 전극의 전압 변화의 중심에 항상 치환하도록 조절된다.

도트 반전 구동법이 사용된 액정 표시 장치, 예컨대 JP-A 5-341732호의 액티브-매트릭스 액정 표시 장치에 있어서, 소수 드라마이버를 구성하는 접적 회로는 라인 반전 구동법이 사용된 액정 표시 장치에 소수 드라마이버를 구성하는 접적 회로의 약 2배의 구동 전압을 필요로 한다. 따라서, 후자의 접적 회로는 저 내압 프로세스를 사용할 수 있지만, 전자의 접적 회로는 중 내압 프로세스를 사용할 필요가 있다. 따라서, 도트 구동 반전법이 사용된 액정 표시 장치의 접적 회로의 크기는 라인 반전 구동법이 사용된 액정 표시 장치의 접적 회로의 크기보다 더 큼, 또한 전자의 접적 회로를 제조하는데 필요한 마스크 개수는 후자보다 접적 회로를 제조하는데 필요한 마스크 개수보다 많다. 그 결과, 도트 반전 구동법이 사용된 액정 표시 장치의 접적 회로의 제조 품질은 라인 반전 구동법이 사용된 액정 표시 장치의 접적 회로의 제조 품질보다 더 복잡하다.

이로부터, 도트 반전 구동법이 사용된 액정 표시 장치의 접적 회로의 제조 비용은 라인 반전 구동법이 사용된 액정 표시 장치의 접적 회로의 제조 비용보다 더 많다. 또한, 도트 반전 구동법이 사용된 액정 표시 장치의 접적 회로가 중 내압 프로세스를 채용하기 때문에, 접적 회로를 구동하는 전력을 제공하기 위한 전원 회로는 종래의 전원 회로보다 고 내압일 필요가 있다. 이러한 이유로, 최저 10V 미상을 견디는 전원 회로를 새로이 개발할 필요가 있다.

상술한 바와 같이, 상기 구성의 액정 표시 장치가 라인 반전 구동법을 사용하여 구동될 때, 새도운일 및 휴드의 불균일로 인해 액정 표시 장치의 표시 품질이 저하된다. 상기 구성의 액정 표시 장치가 도트 반전 구동법을 사용하여 구동될 때, 액정 구동부 내의 드라마이버에 저 내압 프로세스를 채용할 수 없으며, 그 결과 액정 표시 장치의 제조 비용이 증가한다.

#### 발명의 구성 및 작동

본 발명의 목적은 표시 품질의 저하를 방지할 수 있고 액정 구동부의 제조 비용을 감소시킬 수 있는 액정 표시 장치 및 액정 패널의 구동 방법을 제공하는 것이다.

본 발명은 복수의 화소가 매트릭스 형태로 배치되어 있으며, 각각의 화소는 한 쌍의 전극과 그 사이에 존재하는 액정으로 구성되어 있고, 각각 복수의 화소로 구성된 복수의 화소군으로 구분된 액정 패널의 구동 방법에 있어서,

예정된 수평 기간마다 하나의 화소군의 각 화소의 계조를 나타내는 계조 데이터를 사용하여 예정된 연산 처리를 수행하고,

하나의 화소군의 각 화소의 계조 데이터를 바탕으로 결정된 전압을 상기 연산 처리 결과를 바탕으로 보정하여 보정 전압을 구하며,

수평 기간 내에 하나의 화소군의 각 화소의 한 쌍의 전극 사이에 상기 보정 전압을 인가하는 것을 특징으로 하는 방법을 제공한다.

본 발명에 따라서, 액정 패널은 상기 구동 방법으로 구동된다. 그 결과, 하나의 화소군의 각 화소에 대한 한 쌍의 전극 사이의 전압은 상기 연산 결과에 따라 보정된다. 그 결과, 하나의 화소군의 각 화소의 사이의 전압이 하나의 화소군에 대한 계조 데이터에 따라 변할 때, 각 화소의 한 쌍의 전극과, 표시 패널이 상기 구동 방법으로 구동될 때, 액정 패널의 표시 품질은 종래의 구동 방법에 의한 표시 품질에 비하여 향상된다.

특 1999-0078257

본 발명은 연산 처리가 복수의 계조 데이터를 가산 처리한다는 특징이 있다.

본 발명에 따라서, 액정 패널의 구동 방법에 있어서, 계조 데이터가 서로 합가된다. 그 결과, 보정 전압을 계조 데이터 및 계조 데이터의 합을 바탕으로 얻어진다. 즉, 하나의 화소군의 각 화소에서 한 쌍의 전극 사이의 전압은 복수의 계조 데이터의 합을 바탕으로 보정된다. 그 결과, 계조 데이터의 연산 처리가 용이하게 된다.

본 발명은 복수의 화소가 매트릭스 형태로 배치되어 있으며, 각각의 화소는 한 쌍의 전극과 그 사이에 존재하는 액정으로 구성되어 있고, 각각 복수의 화소로 구성된 화소군으로 구분된 액정 패널과, 예정될 수평 기간마다 하나의 화소군의 각 화소의 계조를 나타내는 계조 데이터를 사용하여 예정된 연산 처리를 수행하는 연산 장치와,

하나의 화소군의 각 화소의 계조 데이터를 바탕으로 결정된 전압을 상기 연산 처리 결과를 바탕으로 보정 하여 보정 전압을 구하는 보정 설정 장치와,

수평 기간 내에 하나의 화소군의 각 화소의 한 쌍의 전극 사이에 상기 보정 전압을 인가하는 전압 인가 장치를 포함하는 것을 특징으로 하는 액정 표시 장치를 제공한다.

본 발명에 따른 액정 표시 장치는 상술한 구성을 포함한다. 따라서, 각 수평 기간마다 하나의 화소군의 한 쌍의 전극 사이의 전압은 상기 연산 처리 결과에 따라 보정된다. 그 결과, 각 화소 내의 한 쌍의 전극 사이의 전압은 각 화소 내의 한 쌍의 전극의 전압이 계조 데이터에 따라 변할 때도 상기 계조 데이터에 의해 표시된 계조에 따른 전압으로 될 수 있다. 그 결과, 본 액정 표시 장치는 표시 품질 면에 있어서 종래의 액정 표시 장치보다 우수하다.

본 발명은 연산 처리가 계조 데이터를 가산 처리한다는 특징이 있다.

본 발명에 있어서, 액정 표시 장치의 연산 장치는 계조 데이터의 합을 구한다. 그 결과, 보정 전압은 각 계조 데이터 및 계조 데이터의 합에 따라 얻어진다. 그 결과, 연산 장치의 구성은 단순하며 연산 처리가 용이하다.

본 발명의 액정 표시 장치는 상기 연산 처리 결과에 따라 전압의 보정과 관련된 보정 신호를 발생시키고, 상기 보정 신호를 수평 기간과 동시에 상기 보정 전압 설정 장치에 공급하는 보정 신호 생성 장치를 추가로 포함하며,

상기 보정 전압 설정 장치는 보정 신호가 공급될 때마다 상기 계조 데이터와 보정 신호에 따라 보정 전압을 얻는 것을 특징으로 한다.

본 발명에 따른 액정 표시 장치는 연산 장치와 보정 전압 설정 장치 사이에, 연산 결과를 표시하는 보정 신호를 수평 기간과 동시에 출력하는 보정 신호 생성 장치를 포함한다. 그 결과, 상기 보정 전압 설정 장치는 연산 장치의 연산 처리 결과에 응답하는 대신, 보정 신호에 응답하여 수평 기간마다 보정 전압을 얻을 수 있다. 즉, 보정 전압 설정 장치는 수평 기간과 동시에 보정 전압을 얻을 수 있다.

본 발명은 연산 장치가 연산 결과를 표시하는 비트열을 출력하고 보정 신호 생성 장치가 상기 비트열의 일부 비트에 따라 보정 신호를 생성한다는 것을 특징으로 한다.

본 발명에 있어서, 액정 표시 장치의 보정 신호 생성 장치는 연산 결과를 표시하는 상기 비트열의 일부 비트만을 사용하여 보정 신호를 생성한다. 그 결과, 보정 신호를 표시하는 비트열이 비트수가 연산 처리 결과를 나타내는 비트열의 비트수보다 적다. 그 결과, 보정 신호가 공급될 때 보정 전압 설정 장치의 입력 단자의 수를 상기 연산 처리 결과가 직접 공급될 때의 보정 전압 설정 장치의 입력 단자의 수보다 작게 할 수 있으며, 보정 신호가 공급되는 경우 액정 표시 장치의 회로 규모를 연산 처리 결과가 직접 공급 때의 액정 표시 장치의 회로 규모보다 작게 할 수 있다. 단지 일부의 비트를 사용하여 보정 신호가 생성될 때, 상기 일부의 비트수가 연산 처리 결과를 나타내는 비트열의 모든 비트수에 근접할수록, 보정 전압의 정확도가 더 향상된다.

본 발명의 연산 장치는 연산 처리 결과를 나타내는 비트열을 출력하고, 보정 신호 생성 장치는 비트열의 모든 비트에 따라 보정 신호를 생성한다는 것을 특징으로 한다.

본 발명에 따른 액정 표시 장치의 보정 신호 생성 장치는 연산 처리 결과를 나타내는 비트열의 모든 비트를 사용하여 보정 신호를 발생시킨다. 이 경우, 보정 신호 생성 장치는 비트열을 보정 신호로 출력하여, 모든 비트에서 연산 처리를 실시함으로써 비트열의 비트보다 더 적은 수의 비트를 포함하는 보정 신호를 생성할 수 있다. 그 결과, 보정 전압 설정 장치에 의해 설정된 보정 전압은 정확도가 높다. 그 결과, 최고의 표시 품질을 갖는 액정 표시 장치가 얻어질 수 있다.

본 발명은 액정 표시 장치가 예정된 기준 전압을 발생시키는 기준 전원을 추가로 포함하며, 보정 전압 설정 장치는

연산 처리 결과에 따라 기준 전압을 보정하는 기준 전압 보정 장치와,

보정된 상기 기준 전압을 분압하여 화소가 얻을 수 있는 모든 계조에 따라 복수의 분압을 얻기 위한 전압 분압 장치와,

상기 보정 전압으로서 각 계조 데이터로 표시된 계조에 따라 상기 복수의 분압으로부터 복수의 분압을 선택하기 위한 선택 장치를 포함하는 것을 특징으로 한다.

본 발명에 따른 액정 표시 장치의 보정 전압 설정 장치는 상술한 구성을 갖는다. 그 결과, 기준 전압이 연산 처리 결과에 따라 보정되기 때문에, 복수의 분압은 화소가 얻을 수 있는 모든 계조에 대응하는 전압을 용이하게 설정할 수 있다.

특 1999-0078257

본 발명은 기준 전압 보정 장치와 전압 분압 장치가 하나의 접적 회로 안에 형성되는 것을 특징으로 한다.

본 발명에 있어서, 기준 전압 보정 장치와 전압 분압 장치는 하나의 접적 회로상에 형성된다. 이는 다음 과 같은 이유 때문이다: 일반적으로, 접적 회로가 다수 제조될 때, 접적 회로의 제조 공정으로 인해 저항의 저항치와 같은 접적 회로 내의 부품의 특성에 변이가 있다. 따라서, 기준 전압 보정 장치 및 전압 분압 장치가 두 개의 다른 접적 회로 내에 형성될 때, 기준 전압 보정 장치와 전압 분압 장치 사이의 부품 특성의 변이가 다르다. 그러나, 기준 전압 보정 장치 및 전압 분압 장치가 하나의 접적 회로 내에 형성될 때, 기준 전압 보정 장치와 전압 분압 장치 사이의 부품 특성의 변이가 동일하다. 따라서, 기준 전압 보정 장치와 전압 분압 장치가 두 개의 상이한 접적 회로 내에 형성될 때보다 하나의 접적 회로 내에 형성될 때, 보정 전압 설정 장치에서의 특성 변이가 더 작다. 즉, 접적 회로의 제조 공정에 기인하는 부품 특성의 변이는 모든 보정 전압 설정 장치 내에서 억제될 수 있다. 또한, 액정 표시 장치 내의 접적 회로의 수는 기준 전압 보정 장치와 전압 분압 장치가 두 개의 상이한 접적 회로에 형성될 때보다 하나의 접적 회로에서 형성될 때 더 작기 때문에, 부품 비용이 감소되고 액정 표시 장치의 초립이 용이하다. 이로부터, 기준 전압 보정 장치와 전압 분압 장치가 하나의 접적 회로에 형성되는 것이 바람직하다.

본 발명은 복수의 화소가 매트릭스 형태로 배치되어 있으며, 각각의 화소는 한 쌍의 전극과 그 사이에 존재하는 액정으로 구성되어 있고, 각각 복수의 화소로 구성된 화소군으로 구분된 액정 패널과,

모든 화소 내의 한 쌍의 전극이 예정된 수평 기간마다 변경된 제 1전압을 보유하는 제 1전압 보유 장치와,

예정된 수평 기간마다 하나의 화소군의 각 화소의 계조를 나타내는 계조 데이터를 사용하여 예정된 연산 처리를 수행하는 연산 장치와,

상기 수평 기간마다 복수의 계조 데이터와 제 1전압에 따라 결정된 전압을 상기 연산 처리 결과에 따라 보정된 제 2전압을 얻기 위한 제 2전압 설정 장치와,

하나의 화소군에서 각각의 모든 화소 내의 한 쌍의 전극 중 다른 하나의 전극이 수평 기간 동안 제 2전압을 보유하도록 하는 제 2전압 보유 장치를 포함하는 액정 표시 장치를 제공한다.

본 발명에 있어서, 액정 표시 장치의 제 1전압 보유 장치는 각 화소 내의 하나의 전극에 수평 기간마다 변화된 전압을 공급한다. 즉, 액정 표시 장치는 소위 라인 반전 구동법을 사용한다. 따라서, 액정 표시 장치 내의 액정 패널을 구동하기 위한 구성, 즉 제 1전압 보유 장치 및 제 2전압 보유 장치는 소위 저 내압 푸로세스에 의해 실현될 수 있다. 또한, 제 2전압이 각 화소의 전극 중 다른 하나의 전극에 공급되며, 각 화소 내의 한 쌍의 전극 사이의 전압은 계조 데이터에 따라 결정된 전압을 상기 연산 처리 결과에 따라 보정된 전압이다. 따라서, 예컨대 새도무일 또는 휴드의 불균일로 인한 액정 패널에 표시된 화상의 품질 저하가 방지된다. 그 결과, 본 발명의 액정 표시 장치는 표시 품질면에서 라인 반전 구동법을 사용하는 종래의 액정 표시 장치보다 우수하다.

이로부터, 본 발명의 표시 장치에 있어서, 라인 반전 구동법을 사용하는 종래의 액정 표시 장치보다 우수한 표시 품질의 액정 표시 장치가 제조될 수 있으며, 액정 패널을 구동하는 구조 비용을 노트 반전 구동법을 사용하는 종래의 액정 표시 장치의 구조 비용보다 감소시킬 수 있다. 또한, 본 발명의 액정 표시 장치는 액정 패널의 크기가 증가하고 액정 패널 내의 화소 수가 증가할 때, 표시 품질이 저하되는 것을 방지한다.

### 실시예

지금부터 도면을 참고하여 본 발명의 바람직한 실시예를 설명한다.

도 1은 본 발명의 하나의 실시예에 따른 액정 표시 장치(41)의 전기적 구성을 나타내는 블록도이다. 도 2는 액정 표시 장치(41)에 설치된 액정 패널(43)의 틀과 회로를 나타내는 도면이다. 도 3은 액정 패널(43) 내의 하나의 화소의 구성 및 액정 패널(43) 내의 화소(58)의 주변부의 구성을 나타내는 도면이다. 도 1 내지 3을 함께 설명한다. 액정 표시 장치(41)은 예컨대 컴퓨터 본체(40)에 연결되어 컴퓨터 본체(40)의 표시 장치로 사용된다. 액정 표시 장치(41)는 액정 패널(43) 및 구동부(42)를 포함한다. 상기 구동부(42)는 제어 회로(44), 레벨 보정 연산 회로(45), 소스 드라이버(46), 게이트 드라이버(47) 및 기준 전원(49)을 포함한다. 본 실시예에 있어서, 액정 패널(43)은 소위 컬러 표시가 가능한 XGA 패널인 것으로 가정한다. 소스 드라이버(46)는 본 실시예에서 두 개의 접적 회로로 분할되는 반면, 소스 드라이버(46)는 단일 접적 회로이거나 또는 두 개 이상의 접적 회로로 분할될 수 있다.

액정 패널(43)은 한 쌍의 기판 부재 사이에 액정층이 존재하는 구조를 갖는다. 한 쌍의 기판 부재 중 한 쪽은 하나의 주기판, 복수의 주사선(51), 복수의 데이터 라인(52), 복수의 박막 트랜지스터(53)(이후, TFT로 칭함), 복수의 화소 전극(54) 및 복수의 보조 용량부(55)를 포함한다. 상기 한 쌍의 기판 중 다른 한 쪽은 하나의 투명 대향 기판, 하나의 광통 전극(56) 및 컬러 필터(57)를 포함한다.

복수의 주사선(51), 복수의 데이터 라인(52), 복수의 TFT(53), 복수의 화소 전극(54) 및 복수의 보조 용량부(55)를 이하에 설명된 방식으로 주기판의 일면에 배치된다. 복수의 주사선(51)은 서로 평행하게 배열된다. 복수의 주사선(51)과 데이터 라인(52)은 서로 평행하게 배열되며 주사선(51)에 수직으로 배열된다. 복수의 TFT(53)는 주사선(51)과 데이터 라인(52)의 복수의 교점 P 근처에 위치한다. 복수의 화소 전극(54)은 주사선(51)과 데이터 라인(52)에 평행하게 배열되며, 이로써 화소 전극(54)은 매트릭스 형태로 배열된다. 각 TFT(53)의 게이트 단자 및 소스 단자는 TFT(53)에 가장 가까이 위치하는 단일 주사선(51) 및 단일 데이터 라인(52)에 접속된다. 화소 전극(54)은 TFT(53)의 드레인 단자에 접속된다. 보조 용량부(55)는 콘덴서이며, 화소 전극(54)이 TFT(53)를 통하여 접속된 주사선(51)이 아닌 다른 주사선(51)과 화소 전극(54) 사이에 위치한다. 광통 전극(56)은 대향 기판의 일면에 배치된다. 컬러 필터는 대향 기판의 일면에 배치된다. 주기판의 일면과 대향 기판의 일면은 액정층 LC를 사이에 두고 서로 대향된다.

화소 전극(54)이 액정층을 사이에 두고 광통 전극(56)과 대향하는 액정 패널(43)부는 화소(58)로 동작한

특 1999-0078257

다. 즉, 광통 전극(56)은 모든 화소(58)에 공유된다. 화소 전극(54)에 대향하는 광통 전극(56)부는 대향부(59)로 풍한다. 멀리 필터(57)는 액정 패널(43)을 대향 기판 표면의 벽면에 평행인 방향에서 볼 때, 각 화소실에 중첩되도록 배치된다. 도 2의 등가 회로에 있어서, 광통 전극(56)은 모든 대향부(59)가 저항 성분( $rc$ )을 갖는 도선(60)에 접속된다.

화소(58)는 액정 패널(43) 내에 매트릭스 형태로 배열된다. 주사선(51)에 평행한 방향으로 직선상으로 배열된 복수의 화소(58)의 집합을 '행'이라 하고, 데이터선(52)에 평행한 방향으로 직선상으로 배열된 복수의 화소(58)의 집합을 '열'이라 한다. 도 3에 있어서, 주기판과 대향 기판은 쌓워졌다. 본 실시예에 있어서, 액정 패널(43)이 멀리 표시가 가능한 XGA 패널이기 때문에, 화소(58)는 768행 × 1028 × RGB를의 행렬으로 배열되며, 멀리 필터(57)는 복수의 적색, 청색 및 녹색 필터를 포함하도록 형성된다. 단일의 적색, 청색 및 녹색 필터가 중첩된 임의의 세 개의 화소는 액정 패널(43)에 표시된 멀리 화상을 구성하는 복수의 화소 중 임의의 하나의 화소에 대응하고, 상기 3개의 화소의 계조를 조정함으로써 상기 하나의 화소의 흐도, 색상 및 채도가 표현될 수 있다.

하나의 화소(58)의 계조는 화소(58) 내의 한 쌍의 전극 사이의 전압, 즉 대향부(59)에 보유된 전압과 화소 전극(54)에 보유된 전압의 차  $\Delta V$ 에 따라 결정된다. 본 실시예에서, 하나의 화소(58)의 계조가 높을 때, 화소(58) 내의 한 쌍의 전극(54, 59) 사이의 전압  $\Delta V$ 가 높은 것으로 보인다. 즉, 하나의 화소(58)의 계조가 높을 때, 화소(58) 내에서 TFT(53)를 통하여 화소 전극(54)에 접속된 하나의 데이터 라인(52)이 보유한 전압이 광통 전극(56)이 보유한 전압보다 더 떨어져 있는 것으로 보인다.

제어 회로(44)는 컴퓨터 본체(40)로부터 공급되는 화상 데이터를 액정 표시 장치(41) 내에서 취급할 수 있는 형태의 회상 신호로 변경한다. 본 실시예에 있어서, 영상 신호는 소위 6비트 × RGB 영상 신호로 간주한다. 즉, 영상 신호는 화상 데이터를 나타내는 멀리 화상을 구성하는 복수의 화소 각각의 흐도, 채도 및 색상을 표현하기 위한 화소 데이터를 포함한다. 각 화소 데이터는 3개의 화소의 계조를 결정하는 3개의 계조 성분, 즉 R성분, G성분 및 B성분을 포함한다. 각 화소(58)의 계조는 화소(58)가 취득할 수 있는 예정된 복수 단계의 계조로부터 선택된다. 본 실시예에 있어서, 각 계조 성분은 6비트 데이터이며 64단계의 계조 중 하나를 나타내는 것으로 보인다. 역설 시후는 제어 회로(44)로부터 레벨 보정 연산 회로(45) 및 소스 드라이버(46)에 공급된다.

기준 전원(49)은 예정된 제 1 및 제 2기준 전압  $V_{ref0}$  및  $V_{ref63}$ 를 출력한다. 제 1 및 제 2기준 전압  $V_{ref0}$  및  $V_{ref63}$ 중 하나는 접지 레벨일 수 있다. 레벨 보정 연산 회로(45)는 개략적으로 영상 신호에 따라 계조 전압의 보정과 대응되어 보정 신호를 생성한다. 이로써, 레벨 보정 연산 회로(45)는 가산 회로(45) 및 소스 드라이버(46)에 공급된다.

가산 회로(61)는 단일 수평 기간 1시간마다 상기 수평 기간 내(하나의 주사선상의 행 내)의 모든 화소의 계조를 결정하기 위하여 사용된 데이터 입력부를 취급시킨다. 상기 부는 하나의 행 내의 모든 화소와 동일한 수의 계조 성분을 포함한다. 이후, 상기 부를 '단위부'로 정한다. 가산 회로(61)는 수평 기간 1시간마다 취급된 상기 단위부 내의 모든 계조 성분을 가산한다. 즉, 가산 회로(61)는 단위부 내의 모든 계조 성분으로 표시된 계조에 대응하는 수치의 합을 구한다. 가산 회로(61)는 상기 합을 표시하는 비트열 내의 1부분 이상을 보정 제어 회로(62)에 공급한다. 본 실시예에 있어서, 상기 1부분은 상기 합을 표시하는 비트열의 상위 8자리이다. 보정 제어 회로(62)는 상기 합을 표시하는 비트열의 일부분에 따라 보정 신호를 생성하며, 이 보정 신호를 소스 드라이버(46)에 공급한다.

이하 설명에서, 임의의 하나의 계조 성분을 표시하는 비트열 내의 모든 비트가 '1'일 때, 계조 성분이 표시하는 계조가 화소가 취득할 수 있는 64단계의 계조 중 최대 계조인 것으로 판정하며, 임의의 하나의 계조 성분을 표시하는 비트열 내의 모든 비트가 '0'일 때, 계조 성분이 표시하는 계조가 화소가 취득할 수 있는 64단계의 계조 중 최소 계조인 것으로 판정한다. 또한, 최대 계조에 대응하는 수치가 10진수 '63'이고, 최소 계조에 대응하는 수치가 10진수 '0'인 것으로 판정한다. 예컨대, 단위 성분을 표시하는 비트 열 내의 모든 비트가 1일 때, 단위 성분 내의 각 계조 성분이 표시하는 계조는 최대 계조이다. 이 경우, '1111101000000000'이다.

6비트 × RGB × 1024 화소

= $63 \times 3 \times 1024$

=193536

소수 드라이버(46)는 수평 기간 1시간마다 보정 신호를 수신하고, 출력 신호를 보정한다. 데이터 신호는 단위부 내의 각 계조 성분이 표시된 계조에 대응하는 보정 전압이 된다.

게이트 드라이버(47)는 수평 동기 신호에 응답하여 주사선(51)과 같은 수의 주사 신호를 발생시킨다. 이 주사 신호를 액정 패널(43)의 모든 주사선(51)에 공급한다. 상기 주사 신호는 예정된 표시기간마다 수평 기간 1시간 동안 TFT(53)를 ON 상태로 하기 위한 레벨, 예컨대 하이 레벨에서 유지되고, 수평 기간 1시간 이외의 기간 동안은 TFT(53)를 OFF 상태로 하기 위한 레벨, 예컨대 로우 레벨에서 유지된다. 상기 표시 기간은 예컨대 수평 기간 1시간의 절반 배이다. 그 결과, TFT(53)가 ON 상태일 때, 데이터선(52)과 상기 데이터선(52)이 TFT(53)를 통하여 접속된 화소 전극(54) 사이에 연속성이 있다. 광통 전극은 수평 기간 1시간마다 교류 구동된다. 주사 신호 및 광통 전극(63)에 인가된 전압 신호는 도 11 및 12의 종래 기술에서 설명된 주사 신호 및 광통 전극에 인가된 전압 신호와 동일하다. 그 결과, TFT(53)가 ON 상태일 때, 데이터선(52)과 상기 데이터선(52)이 TFT(53)를 통하여 접속된 화소 전극(54) 사이에 연속성이 있으며, TFT(53)가 아닐 때, 화소 전극(54)을 포함하는 화소의 계조에 따라 전압이 화소에 기록된다. 전압을 기록하기 위하여 화소를 통하여 흐르는 전류의 극성은 도 13a 및 13b에 기재된 바와 같다.

그 결과, 액정 패널(43)은 소위 라인 반전 구동법을 사용하여 구동되며, 화소의 계조에 따른 전압은 액정 패널(43) 내의 모든 화소에 기록되고, 이로써 컴퓨터 본체(40)로부터 공급되는 화상 데이터가 표시하는 화상이 하나의 프레임으로 액정 패널(43)상에 표시된다. 따라서, 구동부(42)는 소위 라인 반전 구동법을

특 1999-0078257

사용하여 액정 패널(43)을 구동한다. 따라서, 소스 및 게이트 드라이버(46 및 47)는 소위 저 내압 프로세스에 의해 실현될 수 있다. 그 결과, 액정 표시 장치(41)의 제품 비용은 소위 노트 반전 구동법을 사용하는 종래의 액정 표시 장치의 제품 비용보다 낮다.

도 4는 보정 제어 회로(62)의 전기적 구성을 나타내는 블록도이다. 보정 제어 회로(62)는 단위 성분 내의 모든 계조 성분의 합을 표시하는 비트열의 일부분을 구성하는 비트의 수  $N$ 과 같은 수의 0형 플립플롭(63(1) 내지 63(N))을 포함한다. 본 실시예에 있어서, 비트수  $N$ 은 8인 것으로 판정된다. 1미상  $N$ 이하의 임의의 정수를 ' $n$ '으로 표시한다.

3기 텁글 표시하는 미드트리 블루본을 구성하는 복수의 비트  $U(U)$  내시  $U(N-1)$ 은 각각 복수의 0형 플립플롭(63(1) 내지 63(N))의 데이터 입력 단자에 공급된다. 제어 회로(44)로부터의 래치 스트림 신호  $LS$ 는 모든 0형 플립플롭(63(1) 내지 63(N))의 클록에 입력 단자  $CK$ 에 공급된다. 그 결과, 0형 플립플롭 63(n)은 래치 스트림 신호  $LS$ 에 응답하여 비트  $U(n-1)$ 을 래치시키며, 래치된 비트  $U(n-1)$ 가 '1'일 때, 0형 플립플롭 63(n)의 출력 단자(D)의 전압을 예정된 2개의 전압 중 하나로 설정하고, 래치된 비트  $U(n-1)$  가 '0'일 때, 출력 단자(D)의 전압은 상기 2개의 전압 중 다른 하나로 설정된다. 본 실시예에 있어서, 하나의 전압은 하이 레벨이며 다른 전압은 로우 레벨로 판정된다.

그 결과, 래치 스트림 신호  $LS$ 에 따라, 0형 플립플롭(63(1) 내지 63(N))의 출력 단자(D)의 레벨, 즉 상기 보정 신호를 구성하는 요소  $\alpha(1)$  내지  $\alpha(N)$ 의 레벨은 비트  $U(0)$  내시  $U(N-1)$ 에 따라 결정된다. 요소  $\alpha(1)$  내지  $\alpha(N)$ 은 보정 제어 회로(62)에서 소스 드라이버(46)에 병렬로 공급된다. 보정 신호는 요소  $\alpha(1)$  내지  $\alpha(N)$ 의 집합이다. 요소  $\alpha(1)$  내지  $\alpha(N)$ 은 2진 신호이다. 요소  $\alpha(1)$  내지  $\alpha(N)$ 의 수는 0형 플립플롭(63(1) 내지 63(N))의 수, 즉 비트수  $N$ 과 동일하다.

도 5는 소스 드라이버(46)의 전기적 구성을 나타내는 블록도이다. 소스 드라이버(46)는 영상 신호 입력부(67), 전압 설정부(68) 및 출력 회로(69)를 포함한다. 영상 신호 입력부(67)는 입력 래치 회로(72), 시프트 레지스터(73), 샘플링 메모리(74) 및 홀드 메모리(75)를 포함한다. 전압 설정부(68)는 레벨 보정 회로(77), 계조 전압 발생 회로(78) 및 D/A 변환기(76)를 포함한다. 입력 래치 회로(72), 시프트 레지스터(73), 샘플링 메모리(74), 홀드 메모리(75), D/A 변환기(76) 및 출력 회로(29)는 종래의 액정 표시 장치의 소스 드라이버(1)에서 입력 래치 회로(2), 시프트 레지스터(3), 샘플링 메모리(4), 홀드 메모리(5), D/A 변환기(6) 및 출력 회로(8)와 동일하다.

영상 신호 내의 화소 데이터는 3개의 화소 성분이 서로 평행하도록 입력 래치 회로(72)에 공급되어 래치 된다. 시프트 레지스터(73)에는 클록 신호 디와 영상 신호 입력부(67)의 동작을 제어하기 위한 입력 동기 신호 SPI가 제어 회로(44)로부터 공급된다. 래치 스트림 신호  $LS$ 는 홀드 메모리(75)에 공급된다. 보정 신호는 레벨 보정 회로(77)에 공급된다. 제 1기준 전압  $Vref0$ 은 레벨 보정 회로(77)에 공급되는 반면, 제 2기준 전압  $Vref63$ 은 계조 전압 발생 회로(78)에 공급된다. 시프트 레지스터(73) 내의 셀의 수는 예컨대 액정 패널(43)의 화소의 열의 수의 1/3이다.

영상 신호 입력부(67)는 래치 스트림 신호  $LS$ 에 따른 영상 신호로부터 단위부를 취입한다. 영상 신호 입력부(67)가 영상 신호의 단위부를 취입하는 타이밍은 가산 회로(61)가 단위부의 모든 계조 성분을 가산하는 타이밍과 동일하다. 따라서, 가산 회로(61) 및 영상 신호 입력부(67)는 단일 수평 기간 1시간 내에 상기 영상 신호의 동일한 부분을 취입한다.

구체적으로, 먼저 시프트 레지스터(73)가 클록 신호 디와 동시에 스타트 월스 SPI를 취입하고, 상기 취입된 스타트 월스 SPI는 샘플링 메모리(74)의 샘플링 타이밍이다. 시프트 레지스터(73)로부터 공급된 셀을 타이밍을 바탕으로, 샘플링 메모리(74)는 입력 래치 회로(72)에 의해 래치된 영상 신호를 샘플링한다. 그 결과, 상기 영상 신호의 단위부가 샘플링 메모리(74)에 기억된다. 그 후, 상기 영상 신호의 단위부는 래치 스트림 신호  $LS$ 와 동시에 샘플링 메모리(74)로부터 홀드 메모리(75)에 전송된다. 홀드 메모리(75)는 상기 전송된 영상 신호의 단위부를 래치시키고 상기 단위부를 D/A 변환기(76)로 전송한다.

그 후, 영상 신호 입력부(67)가 취입한 상기 영상 신호의 단위부 내의 계조 성분을 바탕으로, 전압 설정부(68)는 액정 패널(43) 내의 단위부에 응답하는 하나의 행 내의 화소의 계조를 결정하기 위하여 데이터 선(52)에 보유된 전압을 결정한다. 상기 단위부에 응답하는 하나의 열은 액정 패널(43) 내의 모든 화소 열 중에서 화소의 계조가 단위부 내의 계조 성분에 따라 결정될 때의 하나의 열이다.

구체적으로는, 먼저 레벨 보정 회로(77)는 기준 전압  $Vref0$ 을 보정 신호에 따라 보정한다. 그 후, 보정 계조 전압  $V0$ 에 따라, 계조 전압 발생 회로(78)는 화소(58)가 취득한 복수의 계조와 동일한 수의 계조 전압  $V0$  내지  $V63$ 을 발생시킨다. 상기 복수의 계조 전압은 화소가 취득할 수 있는 복수의 계조 중에 하나와 대응된다. 본 실시예에 있어서, 64단계의 계조 전압  $V0$  내지  $V63$ 이 발생되고 상기 계조 전압  $V0$  내지  $V63$ 이 높을수록, 대응된 계조는 화소가 취득할 수 있는 최대 계조에 더 근접한다. 그 후, D/A 변환기(76)는 홀드 메모리(75)로부터 전송된 영상 신호의 단위부 내의 계조 성분에 따라, 상기 64단계의 계조 전압  $V0$  내지  $V63$ 으로부터 계조 성분이 나타내는 각 계조에 대응하는 하나의 계조 전압을 각 데이터 선(52)에 인가될 전압으로 선택한다. 선택된 복수의 계조 전압은 D/A 변환기(76)로부터 출력 회로(69)에 전송된다.

따라서, 레벨 보정 회로(77)는 기준 전압  $Vref0$ 을 보정 신호에 따라, 즉 단위부 내의 모든 계조 전압의 합에 따라 보정한다. 그 결과, 복수의 계조 전압  $V0$  내지  $V63$ 은 종래의 액정 표시 장치에서 화소가 취득할 수 있는 모든 계조에 대응하는 복수의 전압이 상기 보정 신호에 대하여 보정된 전압에 해당한다. 즉, 복수의 계조 전압  $V0$  내지  $V63$ 은 기준 전압  $Vref0$ 으로부터 기준 전압  $Vref63$ 까지를 64단계로 분할하여 얻은 64계조의 전압이 상기 보정 신호에 따라 보정된 전압에 해당한다. 따라서, D/A 변환기(76)가 선택하는 전압이 상기 합에 따라 보정된 전압에 해당한다.

(따라서, 단위 레벨 보정 회로(77)를 종래 기술의 전압 설정부, 즉 전압 발생 회로(78) 및 D/A 변환기(76)에 부가함으로써, 전압 설정부(68)는 종래 기술의 액정 표시 장치에서 계조 성분이 나타내는 계조에 대응하는 전압을 상기 합에 따라 보정할 수 있다. 그 결과, 전압 설정부(68)는 상기 합에 따라 인가된 전압

특 1999-0078257

을 용이하게 설정할 수 있다.

출현 회로(69)는 D/A 변환기에 의해 선택된 복수의 계조 전압, 즉 데이터선(52)에 인가되는 복수의 전압을 일피던스-변환시키며, 이로써 복수의 데이터 신호를 생성한다. 데이터 신호는 수령 기간 1시간 동안 출력 회로(69)로부터 액정 패널(43)의 데이터선(52)에 공급된다.

도 6은 레벨 보정 회로(??) 및 계조 전압 발생 회로(78)의 전기적 구성을 나타내는 블록도이다.

레벨 보정 회로(?)는 보정 신호의 성분( $\alpha(1)$  내지  $\alpha(N)$ )과 등수의 아날로그 스위치(ASW(1) 내지 ASW(N))를 포함한다. 보정 저항(81(1)) 내지 81(N))과 등수의 아날로그 스위치(ASW(1) 내지 ASW(N))를 포함한다. 보정 저항(81(1)) 내지 81(N))은 이러한 순서로 접속된다. 제 1보정 저항(81(1))은 한쪽 단자가 레벨 보정 회로(?)의 입력 단자(82)로서 기준 전원(49)의 복수의 단자의 제 1 출력 단자에 접속되어 제 1기준 전압 Vref0를 출력하고, 다른 단자는 제 2보정 저항(81(2))에 접속된다. 마지막 보정 저항(81(N))은 한쪽 단자가 마지막 저항 바로 전의 보정 저항(81(N-1))에 접속되고, 다른 단자는 레벨 보정 회로(?)의 출력 단자(83)로서 계조 전압 발생 회로(78)의 단자에 접속된다. 아날로그 스위치(ASW(1) 내지 ASW(N))는 보정 저항(81(1)) 내지 81(N))에 병렬로 접속된다. 즉, 스위치(ASW(1) 내지 ASW(N))의 두 단자는 보정 저항(81(1)) 내지 81(N))에 접속된다.

아날로그 스위치(ASW(1) 내지 ASW(N))는 보정 신호의 제 1 내지 N번째 성분( $\alpha(1)$  내지  $\alpha(N)$ )의 레벨에 따라 개폐된다. 하나의 요소  $\alpha(n)$ 의 레벨이 보정 신호의 비트  $D(n)$ 이 '1'인 경우의 레벨일 때, 요소  $\alpha(n)$ 에 접속하는 아날로그 스위치 ASW(n)은 닫히며, 상기 레벨이 비트  $D(n)$ 이 '0'인 경우의 레벨일 때, 아날로그 스위치 ASW(n)은 열린다. 즉, 요소  $\alpha(n)$ 의 레벨이 비트  $D(n)$ 이 '1'인 경우의 레벨일 때, 아날로그 스위치 ASW(n)에 병렬로 접속된 보정 저항  $\alpha(n)$ 의 단자는 단락된다.

하나의 주어진 보정 저항( $\alpha(n)$ )의 저항치는 상기 보정 저항( $\alpha(n)$ )보다 후단의 모든 저항(81(n+1)~81(N))의 저항치의 합보다도 크다. 따라서, 상기 비트의 수(N)가 8인 경우, 각 보정 저항(81(1)~81(8))의 저항치  $aR$ ,  $bR$ ,  $cR$ ,  $dR$ ,  $eR$ ,  $fR$ ,  $gR$  및  $hR$ 는 아래의 식 (2)~식 (8)의 관계를 만족한다.  $R$ 는 소정 저항치이고, 계수 ' $a$ '~' $h$ '는 각각 데이터선(52)의 저항치 및 용량치 중 적어도 하나에 따라서 정해진다.

$$aR > hR \quad \dots (2)$$

$$fR > gR + hR \quad \dots (3)$$

$$eR > fR + gR + hR \quad \dots (4)$$

$$dR > eR + fR + gR + hR \quad \dots (5)$$

$$cR > dR + eR + fR + gR + hR \quad \dots (6)$$

$$bR > cR + dR + eR + fR + gR + hR \quad \dots (7)$$

$$aR > bR + cR + dR + eR + fR + gR + hR \quad \dots (8)$$

레벨 보정 회로(?) 전체의 저항치는 각 아날로그 스위치 ASW(1)~ASW(N)의 개폐의 조합에 따라 정해진다. 상기 개폐의 조합은 상기 각 요소  $\alpha(1)$ ~ $\alpha(N)$ 의 레벨의 조합에 대응하며, 즉 상기 단위 부분내의 모든 계조 성분의 합도 나타내는 비트열의 일부분에 대응한다. 상기 각 보정 저항(81(1)~81(N))의 저항치가 상기 시들의 관계를 만족시키는 경우, 보정 저항(81(n))에 병렬로 접속된 아날로그 스위치 ASW(n)에 공급되는 상기 요소  $\alpha(n)$ 의 레벨을 결정하기 위한 비트의, 상기 비트열의 일부분에서의 자리수가 높을수록, 상기 저항  $\alpha(n)$ 의 저항치가 커진다. 따라서, 상기 비트열의 일부분에 의해 나타낸 수치가 높을수록, 레벨 보정 회로(?) 전체의 저항치가 커진다. 따라서, 상기 비트열의 일부분에 의해 나타낸 수치가 커질수록, 즉, 상기 합이 커질수록, 제 1기준 전압 Vref0의 강하량이 작아진다.

계조 전압 발생 회로(78)는, 예컨대, 상기 계조 전압의 수보다 1개 적은 수의 분압 저항(86(1)~86(K))을 포함한다. 모든 분압 저항(86(1)~86(K))은 이 순서대로 직렬 접속된다. 제 1분압 저항(86(1))은 그의 하나의 단자가 계조 전압 발생 회로(78)의 제 1입력단자로서 레벨 보정 회로(?)의 출력 단자(83)에 접속되고, 다른쪽 단자는 제 2분압 저항(86(2))에 접속된다. 최종 분압 저항(86(K))은 그의 하나의 단자가 최종 저항의 바로 앞의 분압 저항(86(K-1))에 접속되고, 다른쪽 단자는 기준 전원(49)의 복수의 단자중 제 2기준 전압(Vref63)을 출력하기 위한 제 2출력 단자에 접속된다. 또한, 제 1분압 저항(86(1))의 일 단자와 레벨 보정 회로(?)의 출력 단자(83) 사이의 접속점(87(0)), 각 분압 저항(86(1)~86(K)) 사이의 접속점(87(1)~87(K-1)) 및 최종의 분압 저항(86(K))과 기준 전원(49)의 상기 제 2출력 단자 사이의 접속점(87(K))에는, 각각 계조 전압(V0, Vref63)으로서 접속점(87(0)~87(K))의 전압을 얻기 위한 도체(89(0)~89(K))용 전압이 접속되어 있다. 따라서, 계조 전압 발생 회로(78)는, 제 2기준 전압(Vref63)과 레벨 보정 회로(?)의 출력 단자(83)의 전압 레벨, 즉, 보정된 제 1기준 전압(Vref0) 사이의 전압차를 화소들이 취할 수 있는 계조의 수와 동일한 수로 분압된다. 이 실시예에서는, 64단계의 계조 전압(V0~V63)중 제 1계조 전압(V0')은 상기 보정된 제 1기준 전압(Vref0')과 같고, 64단계의 계조 전압(V0'~V63)중 최종 계조 전압(V63)은 제 2기준 전압(Vref63)과 같다.

계조 전압 발생 회로(78)는, 상기 보정된 제 1기준 전압(Vref0')에서 제 2기준 전압(Vref63)까지의 범위가 화소가 취할 수 있는 계조의 수와 동일한 수로 분압될 수 있는 구성이면, 상기한 구성으로 제한되지 않고 다른 구성이라도 좋다. 예컨대, 레벨 보정 회로(?)의 출력 단자(83)와 기준 전원(49)의 제 2출력 단자 사이에 계조 전압의 수보다 적은 수의 제 1저항이 삽입되고, 직렬 접속된 복수의 제 2저항이 상기 저항의 양단에 각각 병렬로 접속되며, 상기 제 1저항에 의해 복수로 분합된 전압차( $\Delta Vref$ )가 제 2저항에 의해 더욱 분압되는 구조가 이용될 수 있다.

따라서, 레벨 보정 회로(?)의 기본적인 구성은 저항과 아날로그 스위치로 이루어지고, 계조 전압 발생 회로(78)의 기본적인 구성은 저항을 포함한다. 결과적으로, 레벨 보정 회로(?) 및 계조 전압 발생 회로(78)의 기본적인 구성은 자극히 간단하다. 그 결과, 전압설정부(68)의 회로 규모가 커지는 것을 방지

특 1999-0076257

할 수 있고, 또한 액정 표시 장치(41)의 제조비용의 증가가 억제된다.

적어도 레벨 보정 회로(??)와 계조 전압 발생 회로(??)는 단일 접착 회로내에 형성되는 것이 바람직하다. 이는 접착 회로의 제조 프로세스에 기인한 전압설정부(68)내의 부품 특성의 변화가, 레벨 보정 회로(??)와 계조 전압 발생 회로(??)를 2개의 다른 접착 회로내에 형성하는 경우보다, 레벨 보정 회로(??)와 계조 전압 발생 회로(??)를 1개의 접착 회로내에 형성하는 경우보다 상기 부품의 특성은 예컨대, 저항의 저항치이다. 또한, 레벨 보정 회로(??)와 계조 전압 발생 회로(??)를 2개의 접착 회로내에 형성한 경우보다 상기 회로들(??, ??)을 하나의 접착 회로내에 형성한 경우에, 액정 표시 장치(41)내의 접착 회로의 수가 감소하기 때문에, 액정 표시 장치(41)의 부품비용이 감소되며 또한 액정 표시 장치(41)의 조립이 용이하게 된다. 이 실시예의 액정 표시 장치(41)에서, 레벨 보정 회로(??)와 계조 전압 발생 회로(??)는 소스 드라이버의 다른 부품(??~??, ??)과 함께 1개의 접착 회로를 구성하고 있다.

구동부(42)의 액정 패널의 구동 방법중, 화소의 계조에 따라 전압을 보유하기 위한 데미터션(52)의 거리를 1~6을 참조하여 설명한다. 또한, 상기 거동과 평행하게, 게이트 드라이버(47)는 게이트선을 통해 TFT(53)를 제어하던 상기 공통 전극(63)은 교류 구동된다. 게이트 드라이버(47) 및 공통 전극(63)의 거리는 종래의 액정 표시 장치의 거동과 동일하다.

예컨대, 제 1예로서, 샘플링메모리(76)에 의해 샘플링된 상기 영상 신호의 일부분, 즉, 상기 영상신호의 단위 부분내의 모든 계조 성분이, 화소가 취할 수 있는 최대 계조를 나타내는 경우를 가정한다. 이 경우, 액정 패널(43)내의 상기 단위 부분에 대응하는 열내의 모든 화소의 한 쌍의 전극(54, 59) 사이의 전압은, 상기 한 쌍의 전극(54, 59) 사이에 보유될 수 있는 전압중에 가장 크다. 이 경우, 가산회로(61)에 의한 가산결과, 즉 상기 모든 계조 성분의 합을 나타내는 바트율은 '1111101000000000'이 된다.

보정제어회로(62)는, 래치 스트로브 신호(LS)에 응답하여, 상기 가산결과의 상위 8비트, 즉 '11111010'을 취입하여, 상기 보정신호의 각 요소  $\alpha(1) \sim \alpha(N)$ 의 레벨을 정한다. 제 1예에서는, 제 1~제 5 및 제 7번 째의 요소  $\alpha(1) \sim \alpha(5)$ ,  $\alpha(?)$ 는 하이 레벨이 되고, 제 6 및 제 8번 째의 요소  $\alpha(6) \sim \alpha(8)$ 는 로우 레벨이 된다. 이 결과, 제 1~제 5번 째 및 제 7번 째의 아날로그 스위치(ASW1~ASW5, ASW7)는 폐쇄되고, 제 6 번째 및 제 8번 째의 아날로그 스위치(ASW6, ASW8)는 개방된다. 따라서, 레벨 보정 회로(??)의 등가회로는 제 6번 째 및 제 8번 째의 보정 저항(R6, R8)이 직렬 접속되어 구성되는 회로가 된다.

또한, 제 2예로서, 상기 몰살신호의 단위 부분내의 모든 계조 성분이, 화소가 취할 수 있는 최소의 계조를 나타내는 경우를 가정한다. 이 경우, 상기 모든 계조 성분의 합을 나타내는 비트열은 '0000000000000000'이 된다. 보정제어회로(62)는, 래치 스트로브 신호(LS)에 응답하여, 상기 가산결과의 상위 8비트, 즉 '0'을 취입하여, 상기 보정신호의 각 요소( $\alpha(1) \sim \alpha(N)$ )의 레벨을 정한다. 제 2예에서는, 취입된 상기 비트가 모두 '0'이기 때문에, 각 요소( $\alpha(1) \sim \alpha(8)$ )는 모두 로우 레벨이 된다. 결과적으로, 상기 아날로그 스위치(ASW1~ASW8)는 모두 개방된다. 따라서, 레벨 보정 회로(??)의 등가회로는, 모든 보정 저항(R1~R8)이 직렬 접속되어 구성되는 회로가 된다.

제 1예와 제 2예를 비교하면, 제 2예에서 기준 전원(49)의 제 1 출력 단자와 계조 전압 발생 회로(??) 사이에 삽입되는 저항의 저항치의 합, 즉 레벨 보정 회로(??) 전체의 저항치는, 제 1예에서의 레벨 보정 회로(??) 전체의 저항치보다 크다. 따라서, 제 2예의 제 1기준 전압(Vref<sub>1</sub>)의 강하량은 제 1예의 제 1기준 전압(Vref<sub>1</sub>)의 강하량보다 크다. 상기한 바로부터, 레벨 보정 회로(??)는, 상기 단위부분내의 모든 계조 성분에 의해 나타난 계조종에 포함된 최대 계조의 수가 많을수록, 제 1기준 전압(Vref<sub>0</sub>)의 강하량을 감소시킨다. 즉, 액정 패널(43)내의 상기 단위부분에 대응하는 열의 각 화소내의 한 쌍의 전극을 사이의 전압이, 상기 한 쌍의 전극(54, 59) 사이에 보유될 수 있는 최대 전압에 근접할수록, 보정된 기준 전압차가 작아지게 된다. 그 이유는 다음과 같다:

라인 반전 구동별에 의해 구동되는 액정 패널(43)에서, 1수평 기간내에 액정 패널(43)에 공급되는 모든 데미터 신호의 전압에 의해, 공통 전극(56)이 보유하는 전압이 강화된다. 따라서, 공통 전극(56)이 실제로 보유하는 전압은, 상기 전압 강화에 의해, 공통 전극(56)에 의해 보유되어야 할 이상적인 전압보다, 데미터 신호의 전압에 근접하게 된다. 공통 전극(56)이 실제로 보유하는 전압과 상기 이상적인 전압 사이의 차이는, 상기 모든 데미터 신호의 전압이 작을수록, 커진다. 단일 데미터 신호의 전압은, 그 데미터 신호에 의해 계조에 대응하는 전압이 기입되는 화소(58)내의 한 쌍의 전극(54, 59) 사이의 전압이, 상기 한 쌍의 전극(54, 59) 사이에 보유될 수 있는 복수 레벨의 전압중 최대 전압에 근접할수록, 낮아지게 된다. 이 실시예에서는, 상기 화소(58)의 상기 한 쌍의 전극(54, 59) 사이에 보유되는 전압은, 상기 화소의 계조가 상기 최대 계조에 근접할수록, 상기 최대 전압에 근접한다. 따라서, 상기 단위부분내의 모든 계조 성분에 의해 나타난 계조종에 포함된 상기 최대 계조의 수가 많을 수록, 상기 차이가 커진다.

결과적으로, 상기 모든 데미터 신호중에, 전압이 상기 최대 전압인 데미터 신호의 수가 많을수록, 제 1기준 전압(Vref<sub>0</sub>)의 강하량이 더 감소되고, 상기 모든 데미터 신호중에, 전압이 상기 최소 전압인 데미터 신호의 수가 많을수록, 제 1기준 전압(Vref<sub>0</sub>)의 강하량이 증가된다. 즉, 이 실시예에서는, 상기 단위부분내의 모든 계조 성분에 의해 나타난 계조종에 포함된 최대 계조의 수가 많을수록, 제 1기준 전압(Vref<sub>0</sub>)의 강하량을 더욱 억제한다. 결과적으로, 상기 모든 데미터 신호중에, 전압이 상기 최대 전압인 데미터 신호의 수가 많을수록, 보정된 제 1기준 전압(Vref<sub>0</sub>)이 감소된다. 이와 같이 보정된 제 1기준 전압(Vref<sub>0</sub>)의 이용에 의해 계조 전압(V<sub>0</sub> ~ V<sub>63</sub>)이 발생할 때, 상기 계조 전압(V<sub>0</sub> ~ V<sub>63</sub>)은 상기 2개의 기준 전압(Vref<sub>0</sub>, Vref<sub>63</sub>) 사이의 범위를 64레벨로 분할하여 얻어진 전압을 상기 차이의 크기에 따라 보정하여 얻어진 전압과 동일하게 된다. 즉, 상기 데미터 신호의 전압은 상기 차이의 크기에 따라 보정된다.

결과적으로, 액정 패널(43)에 표시되는 화상의 복수의 열들 사이의 휘도 불균일을 없앨 수 있고 또한 액정 패널(43)에 표시되는 화상의, 소위 쇄도모의 발생에 의한 화질의 열화가 방지된다. 이들로부터, 이 실시예의 액정 표시 장치(41)에서는, 액정 패널(43)의 표시품위를 라인반전구동법을 이용한 종래의 액정 표시 장치의 액정 패널을 구동하기 위한 구조의 비용보다 절감할 수 있다. 또한, 이 실시예의 액정 표시 장치(41)에서는, 액정 패널(43)의 크기의 증대에 따른 상기 표시품위의 열화를 방지할 수 있고, 액정 패널(43)내의 화소의 수의 증가에 따른 상기 표시품위의 열화를 방지할 수 있다.

특 1999-0078257

또한, 제 1기준 전압(Vref0)은, 상기 영상신호의 단위 부분에 대응하는 열의 각 화소(58)내의 한 쌍의 전극(54,59) 사이의 전압이, 상기 한 쌍의 전극(54,59) 사이에 보정될 수 있는 상기 최대 전압에 어느 정도 균질하여 있는지를 나타내는 수치라면, 상기 영상신호의 단위 부분내의 모든 세조 성분에 의해 나타난 계조의 합이 아닌, 다른 수치에 따라서 보정될 수 있다. 예컨대, 상기 합이 아닌 다른 수치는, 상기 계조의 합을 소정 정수로 분할 결과이거나, 또는 상기 단위부분내의 모든 계조 성분에 의해 나타난 계조의 평균치로 될 수 있다. 제 1기준 전압(Vref0)의 보정을 위해 상기 합을 이용하는 경우, 상기 수치를 구하기 위한 연산부, 즉 가산회로(61)를 통상의 가산회로에 의해 실현될 수 있다. 따라서, 제 1기준 전압(Vref0)의 보정을 위해 상기 합을 이용하면, 상기 연산부의 구성이 간단화되고, 상기 수치를 구하기 위한 연산 처리가 용이하게 되기 때문에 바람직하다.

이 실시예의 액정 표시 장치(41)의 보정제어회로(62)는 가산회로(61)에 의한 연산결과를 나타내는 비트열이 상위 8자리수만을 이용하여 상기 보정신호를 생성하고 있다. 상기 비트열중 보정 신호의 생성에 이용되는 일부분은 상기 상위 8자리수로 제한되지 않고, 다른 부분이라도 좋다. 또한, 상기 일부분의 비트 수는 8로 제한되지 않고, 다른 수라도 좋다. 상기 비트열중 보정 신호의 생성을 위해 이용되는 부분은, 예컨대 액정 패널(63)의 표시 특성에 따라 정해진다. 예컨대, 상기 비트열중에, 제 1비트로부터 세어 8째의 흡수번째의 비트를 상기 일부분으로 설정할 수 있다. 또한, 예컨대 상기 비트열중에, 제 1비트로부터 세어 8개의 짙은번째의 비트를 상기 일부분으로 설정할 수 있다.

따라서, 상기 보정신호의 생성에 상기 비트열의 일부분만을 이용하는 경우, 상기 보정 신호의 요소의 수가 상기 비트열의 비트의 수보다 적어진다. 따라서, 소스 드라이버(46)의 상기 보정신호를 입력하기 위한 입력단자의 수를, 상기 비트열이 소스 드라이버(46)에 직접 공급되는 경우에 상기 비트열을 입력하기 위한 입력단자의 수보다 적게 할 수 있고, 상기 보정신호가 소스 드라이버(46)에 공급될 때의 구동부(42)의 회로구조를, 상기 비트열이 소스 드라이버(46)에 직접 공급되는 경우의 구동부의 회로구조보다 작게 할 수 있다. 상기 비트열의 일부분만을 이용하여 제 1기준 전압(Vref0)을 보정하는 경우, 상기 일부분의 비트의 수가 상기 비트열의 모든 비트의 수에 극히 많을수록, 보정된 제 1기준 전압(Vref0')의 보정 정확도가 높아진다.

또한, 상기 보정제어회로(62)는 가산회로(61)에 의해 얻어진 합을 나타내는 비트 열의 모든 비트에 소정 연산처리를 실행함에 의해, 상기 합을 나타내는 비트 열보다 비트의 수가 적은 비트열을 생성하여, 생성된 상기 비트열을 이용하여 상기 보정신호를 생성하더라도 좋다. 이를 위해, 예컨대, 가산회로(61)와 보정제어회로(62) 사이에도 7에 도시된 비트연산회로(100)를 삽입한다. 비트연산회로(100)는 상기 합을 나타내는 비트열의 비트의 수보다도 적은 수(J)의 OR 회로(101(1)~101(J))를 포함한다. 모든 OR 회로(101(1)~101(J))는 별렬로 배열될 수 있다. 도 7에서, OR 회로의 수(J)는 8이라고 가정한다.

각 OR 회로(101(1)~101(J))에는, 상기 합을 나타내는 비트열내의 연속적인 특수의 비트가 입력되어 상기 복수의 비트의 논리곱을 구한다. 예컨대, 도 7의 예에서는, 제 1 OR 회로(101(1))에, 상기 합을 나타내는 비트열의 제 1비트로부터 17번째 및 16번째의 비트(a17,a16)가 입력된다. 제 2 OR 회로(101(2))에는, 상기 합을 나타내는 비트열의 제 1비트로부터 19번째 및 14번째의 비트(a15,a14)가 입력된다. 제 7 OR 회로(101(7))에는, 상기 합을 나타내는 비트열의 제 1비트로부터 5번째 및 4번째의 비트(a5,a4)가 입력된다. 제 8 OR 회로(101(8))에는, 상기 합을 나타내는 비트열의 제 1비트로부터 3번째~첫번째의 비트(a3~a1)가 입력된다.

결과적으로, J개의 논리곱이 구해진다. 도 7의 예에서는, 상기 17번째 및 16번째의 비트(a17,a16)의 논리곱, 상기 15번째 및 상기 14번째의 비트(a15,a14)의 논리곱, 상기 5번째 및 상기 4번째의 비트(a5,a4)의 논리곱, 및 상기 3번째~상기 1번째의 비트(a3~a1)의 논리곱이 구해진다. 상기 합을 나타내는 비트열의 일부분의 비트들을 대신하며, 보정제어회로(62)의 M형 퀼립풀롭(63(1)~63(N))의 데이터 입력단자(D)에 상기 J개의 논리곱이 입력된다. 이 경우, 논리곱의 수 J와 M형 퀼립풀롭의 수 N은 동일하다.

이 실시예의 액정 표시 장치(41)에서는, 상기 보정신호를 그대로 소스 드라이버(46)에 공급한다. 이 경우, 상기 보정신호의 8개의 요소가 소스 드라이버(46)에 별렬로 공급되기 때문에, 이 실시예의 소스 드라이버는 종래의 액정 표시 장치의 소스 드라이버보다 입력단자가 8개 많다. 상기 보정신호의 입력을 위한 입력단자의 수를 감소시키기 위해서, 소위 8 내지 3의 디코드회로 및 소위 3 내지 8의 디코드회로를 보정제어회로(61)와 소스 드라이버(46) 사이 및 소스 드라이버(46)내의 상기 입력단자와 레벨 보정 회로(??) 사이에 각각 삽입할 수 있다.

결과적으로, 상기 보정신호는, 우선 8 내지 3의 디코드회로에 의해 상기 8개의 요소를 3세트의 전기신호로 변환한 후 소스 드라이버(46)에 공급된다. 이어서, 상기 3세트의 전기 신호가 3 내지 8의 디코드회로에 의해 상기 8개의 요소로 디코드된 후 레벨 보정 회로(??)에 공급된다. 따라서, 소스 드라이버(46)의 상기 보정신호의 입력을 위한 입력 단자의 수를 8개에서 3개로 감소시킬 수 있다. 상기 변환 및 디코드를 실행하는 2개의 회로는, 그 회로들이 8개의 요소를 8개 미만의 전기 신호로 변환하는 변환회로 및 상기 전기 신호로부터 어떠한 예외없이 상기 8개의 요소를 복원시킬 수 있는 복원회로라면, 상기 8 내지 3 디코드 회로 및 3 내지 8 디코드 회로로 제한되지 않고 다른 회로로 될 수 있다.

상기 보정제어회로(62)는 가산회로(61)에 의해 얻어지는 합을 나타내는 상기 비트열의 모든 비트를 이용하여 상기 보정신호를 생성할 수 있다. 이를 위해, 보정제어회로(62) 및 레벨 보정 회로(??)를 도 8의 보정제어회로(106) 및 도 9의 레벨 보정 회로(107)로 치환한다. 도 8의 보정제어회로(106)는 도 4의 보정제어회로(62)와 비교할 때, M형 퀼립풀롭(63(1)~63(N))의 수(N)가 상기 비트열의 모든 비트의 수(M)와 같은 점 및 처리될 비트가 상기 비트열의 일부분을 구성하는 비트로부터 상기 비트열의 모든 비트로 연결되는 점을 제외하면, 동일하다. 이 실시예에서는, 상기 모든 비트의 수(M)는 17이라 가정한다. 따라서, 상기 보정신호는 상기 모든 비트의 수(M)와 동수의 요소(a(1)~a(M))로 구성되고 이를 요소(a(1)~a(M))는 별별로 소스 드라이버(46)에 공급된다. 도 9의 레벨 보정 회로(107)는 도 8의 레벨 보정 회로(??)와 동일하지만, 보정저항(81(1)~81(N)) 및 마날로그 스위치(ASW(1)~ASW(N))의 수가 상기 보정신호의 요소(a(1)~a(M))의 수, 즉 상기 모든 비트의 수(M)와 동일한 점이 다르게 되어 있다.

특 1999-0078257

도 8의 레벨 보정 회로(77)와 유사하게, 레벨 보정 회로(107)내의 17개의 보정 저항(81(1)~81(M))중의 1개의 보정 저항(81(m))의 저항치는 1개의 보정 저항(81(1)) 후단의 모든 저항(81(m+1)~81(M))의 저항치의 합보다도 크다.  $m$ 은 10이상 M 미하의 정수이다. 즉, 보정 저항(81(1)~81(17))의 저항치(ar, br, cr, dr, er, fr, gr, hr, ir, jr, kr, lr, mr, nr, or, pr, qr)는 다음의 식 (9)~(15)의 관계를 만족한다:

$$pR > qR \quad \dots(9)$$

$$oR > pR + qR \quad \dots(10)$$

$$nR > oR + pR + qR \quad \dots(11)$$

$$mR > nR + oR + pR + qR \quad \dots(12)$$

$$IR > mR + nR + oR + pR + qR \quad \dots(13)$$

$$kR > IR + mR + nR + oR + pR + qR \quad \dots(14)$$

:

$$aR > bR + cR + dR + eR + fR + gR + hR + iR$$

$$+ jR + kR + lR + mR + nR + oR + pR + qR \quad \dots(15)$$

따라서, 도 7의 비트율 연산회로(100)를 부기한 액정 표시 장치 및 도 8 및 9의 보정제어회로 및 레벨 보정 회로를 이용한 액정 표시 장치는 상기 합을 나타내는 비트율의 모든 비트를 이용하여 상기 계조 전압의 보정을 위한 제 1기준 전압(Vref0)을 보정할 수 있다. 이 결과, 상기 복수의 계조 전압의 보정정확도가 가장 높게 된다. 따라서, 가장 양호한 액정 표시 장치의 표시품위가 얻어질 수 있다.

상기 데이터 신호의 전압과 화소(58)의 계조 사이의 관계는 상기한 설명과 반대로 될 수 있다. 즉, 상기 데이터 신호의 전압이 화소(58)가 취할 수 있는 최대 전압에 균형할 때, 데이터 신호에 의해 계조에 대응하는 전압이 기입되는 화소(58)의 계조가 상기 최소 계조에 균형하게 된다. 이 경우, 상기 단위 부분내의 모든 계조 성분에 의해 나타난 계조층에 포함된 상기 최소 계조의 수가 많을수록, 즉, 상기 단위 부분내의 계조 성분에 의해 정해지는 복수의 데이터 신호들중에, 전압이 상기 최대 전압인 데이터 신호의 수가 많을수록, 제 1기준 전압(Vref0)의 강하량이 더욱 외제된다. 따라서, 상기 단위 부분내의 모든 계조 성분에 의해 나타난 계조에 대응하는 수치의 합이 감소할수록, 레벨 보정 회로(77)의 전체 저항치를 작게하면, 공통 전극(56)의 전압 차이를 보정할 수 있다. 즉, 상기 단위 부분내의 복수의 계조 성분에 의해 정해지는 모든 데이터 신호의 전압의 합이 증가할수록, 상기 화소전압(V0 ~ V63)이 제 1기준 전압(Vref0)에 균형하게 된다.

이 실시예의 액정 표시 장치(41)는 본 발명의 액정 표시 장치 및 본 발명의 액정 패널의 구동 방법의 예이고 주요 동작이 동일하면, 여러가지 다른 형태로 실시할 수 있다. 특히, 액정 표시 장치(41)내의 부품의 상세한 동작은 동일한 처리결과가 일어진다면, 상기한 것으로 제한되지 않고 다른 동작에 의해 실현될 수 있다.

본 발명은 그의 정신 또는 주요 특징으로부터 벗어나지 않고, 여러 가지 다른 형태로 실시할 수 있다. 따라서, 상기 실시예는 모든 점에서 단순한 예시에 지나지 않으며, 본 발명의 범위는 상기한 설명 내용미만이라 특허청구의 범위에 의해 한정되며 특허청구의 범위의 균등 범위 및 등가를내에 있는 모든 범위를 통한 구동 구조 및 처리방법을 포함하는 범위에 속하는 범위로 해석된다.

#### 5.5. 특수의 범위

본 발명에 따른 액정 표시 장치 및 액정 패널의 구동 방법은 표시 품질이 향상된 액정 표시 장치를 제공하며 액정 구동부의 제조 비용을 감소시킬 수 있다.

##### (5) 청구의 범위

청구항 1. 복수의 화소가 매트릭스 형태로 배치되어 있으며, 각각의 화소는 한 쌍의 전극과 그 사이에 존재하는 액정으로 구성되어 있고, 각각 복수의 화소로 구성된 복수의 화소군으로 구분된 액정 패널의 구동 방법에 있어서,

예정된 수평 기간마다 하나의 화소군의 각 화소의 계조를 나타내는 계조 데이터를 사용하여 예정된 연산 처리를 수행하고,

하나의 화소군의 각 화소의 계조 데이터를 바탕으로 결정된 전압을 상기 연산 처리 결과를 바탕으로 보정하여 보정 전압을 구하여,

상기 수평 기간 내에 하나의 화소군의 각 화소의 한 쌍의 전극 사이에 상기 보정 전압을 인가하는 것을 포함하는 액정 패널의 구동 방법,

청구항 2. 제 1항에 있어서, 상기 연산 처리가 상기 계조 데이터의 가산 처리인 액정 패널의 구동 방법,

청구항 3. 복수의 화소가 매트릭스 형태로 배치되어 있으며, 상기 복수의 화소는 각각 한 쌍의 전극과 그 사이에 존재하는 액정으로 구성되어 있고, 각각 복수의 화소로 구성된 복수의 화소군으로 구분된 액정 패널과,

예정된 수평 기간마다 하나의 화소군의 각 화소의 계조를 나타내는 계조 데이터를 사용하여 예정된 연산 처리를 수행하는 연산 장치와,

하나의 화소군의 각 화소의 계조 데이터를 바탕으로 결정된 전압을 상기 연산 처리 결과를 바탕으로 보정

특 1999-0078257

하여 보정 전압을 구하는 보정 전압 설정 장치와,

수평 기간 내에 하나의 화소군의 각 화소의 한 쌍의 전극 사이에 삼기 보정 전압을 인가하는 전압 인가 장치를 포함하는 액정 표시 장치.

**청구항 4.** 제 3항에 있어서, 삼기 연산 처리가 삼기 계조 데이터의 가산 처리인 액정 표시 장치.

**청구항 5.** 제 3항에 있어서, 삼기 연산 처리 결과에 따른 보정 전압과 관련된 보정 신호를 발생시키고, 삼기 보정 신호를 수평 기간과 동시에 보정 전압 설정 장치에 공급하는 보정 신호 생성 장치를 추가로 포함하였다.

삼기 보정 전압 설정 장치는 보정 신호가 공급될 때마다 삼기 계조 데이터와 보정 신호에 따라 보정 전압을 얻는 액정 표시 장치.

**청구항 6.** 제 5항에 있어서, 삼기 연산 장치가 연산 결과를 나타내는 비트열을 출력하고 삼기 보정 신호 생성 장치가 비트열의 일부 바트에 따라 보정 신호를 생성하는 액정 표시 장치.

**청구항 7.** 제 5항에 있어서, 삼기 연산 장치가 연산 결과를 나타내는 비트열을 출력하고 삼기 보정 신호 생성 장치가 비트열의 모든 바트에 따라 보정 신호를 생성하는 액정 표시 장치.

**청구항 8.** 제 3항에 있어서, 예정된 기준 전압을 발생시키는 기준 전원을 추가로 포함하고,

삼기 보정 전압 설정 장치는 연산 처리 결과에 따라 기준 전압을 보정하는 기준 전압 보정 장치와, 보정된 삼기 기준 전압을 분압하여 화소가 얻을 수 있는 모든 계조에 따라 복수의 분압을 얻기 위한 전압 분압 장치와,

삼기 보정 전압으로서 각 계조 데이터로 나타된 계조에 따라 삼기 복수의 분압으로부터 복수의 분압을 선택하기 위한 선택 장치를 포함하는 액정 표시 장치.

**청구항 9.** 제 8항에 있어서, 삼기 기준 전압 보정 장치와 삼기 전압 분압 장치가 하나의 접적 회로 안에 형성된 액정 표시 장치.

**청구항 10.** 복수의 화소가 매트릭스 형태로 배치되어 있으며, 각각의 화소는 한 쌍의 전극과 그 사이에 존재하는 액정으로 구성되어 있고, 각각 복수의 화소로 구성된 복수의 화소군으로 구분된 액정 패널과,

삼기 모든 화소 내의 한 쌍의 전극이 예정된 수평 기간마다 변경된 제 1전압을 보유하는 제 1전압 보유 장치와,

삼기 예정된 수평 기간마다 하나의 화소군의 각 화소의 계조를 나타내는 계조 데이터를 사용하여 예정된 연산 처리를 수행하는 연산 처리 장치와,

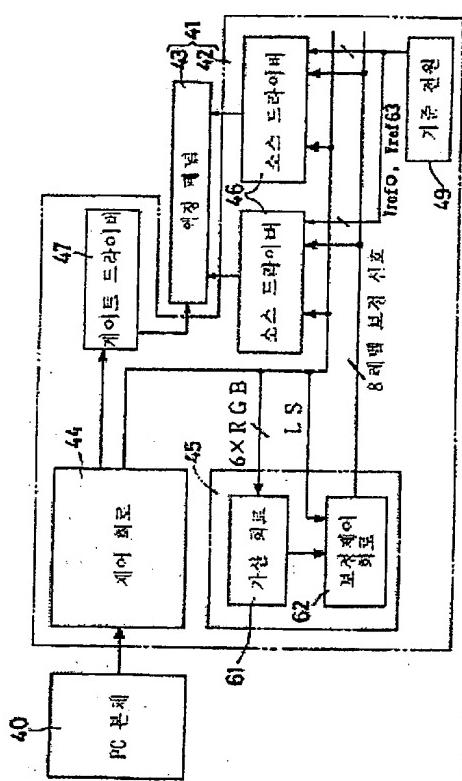
삼기 수평 기간마다 복수의 계조 데이터와 제 1전압에 따라 결정된 전압을 삼기 연산 처리 결과에 따라 보정된 제 2전압을 얻기 위한 제 2전압 설정 장치와,

삼기 하나의 화소군에서 각각의 모든 화소 내의 한 쌍의 전극 중 다른 하나의 전극이 수평 기간 동안 제 2전압을 보유하도록 하는 제 2전압 보유 장치를 포함하는 액정 표시 장치.

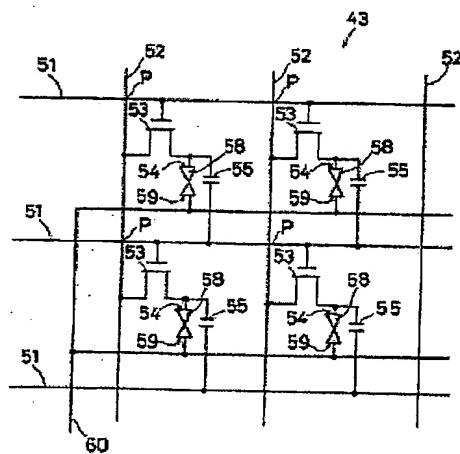
도면

1999-0078257

도면1

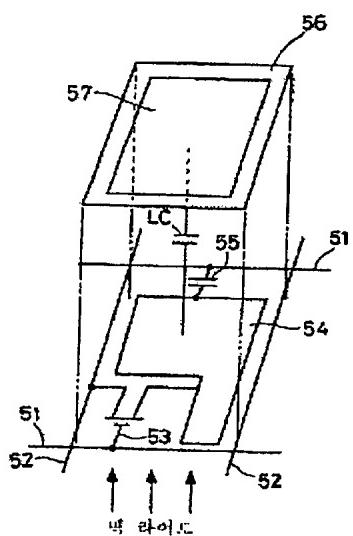


도면2



특 1999-0078257

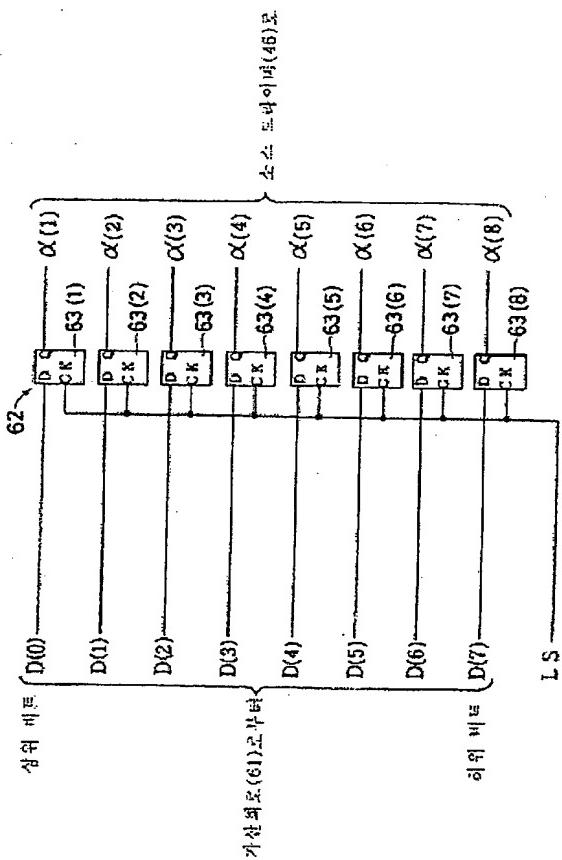
도면



27-15

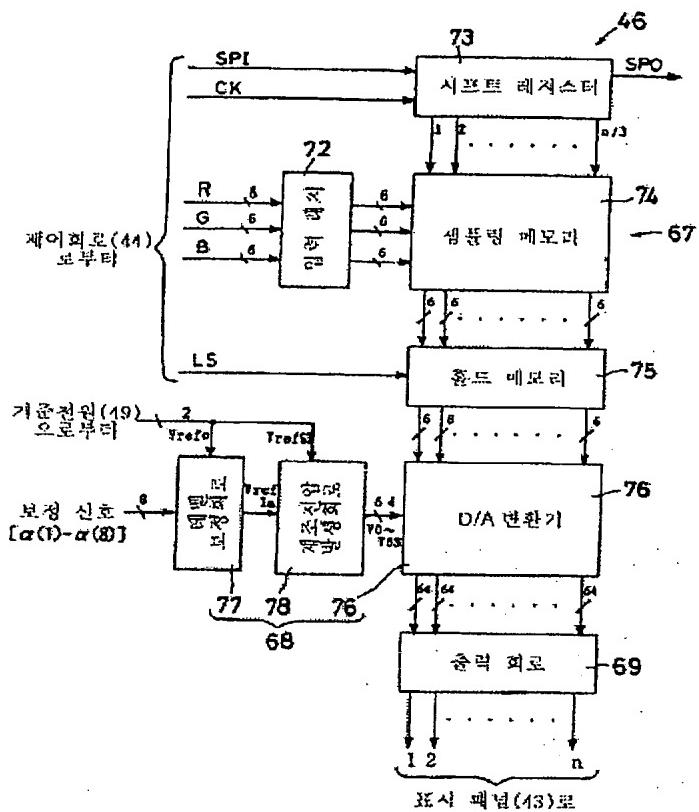
1999-0078257

도면



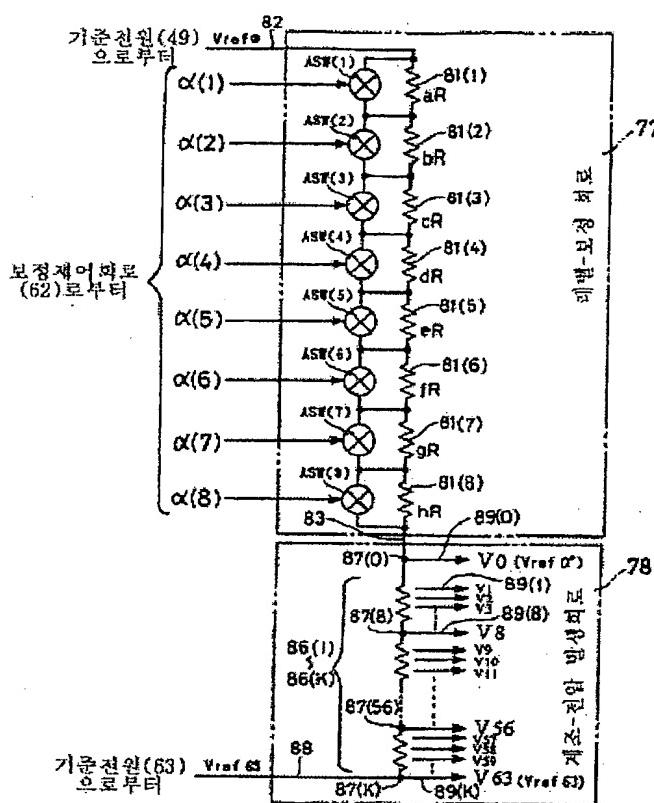
1999-0078257

五〇五



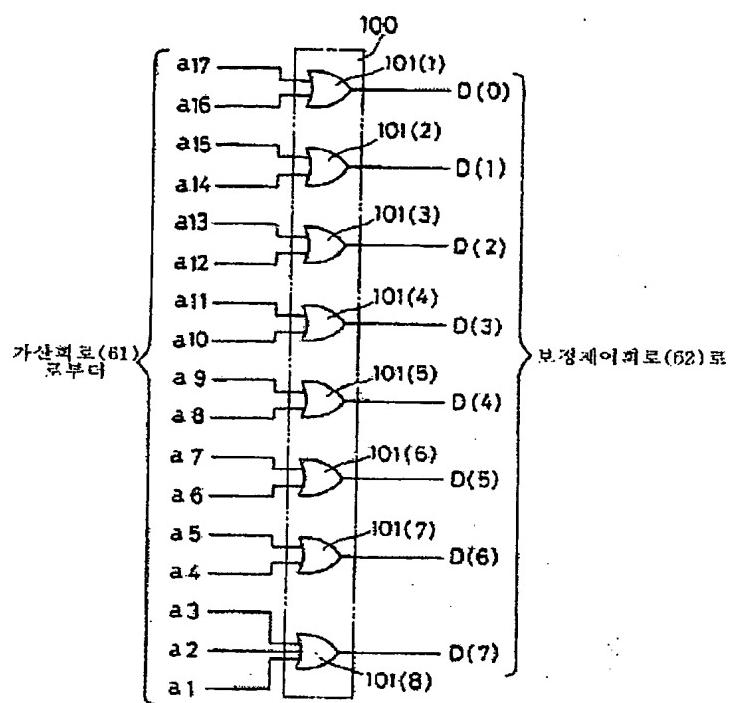
특 1999-0078257

도면



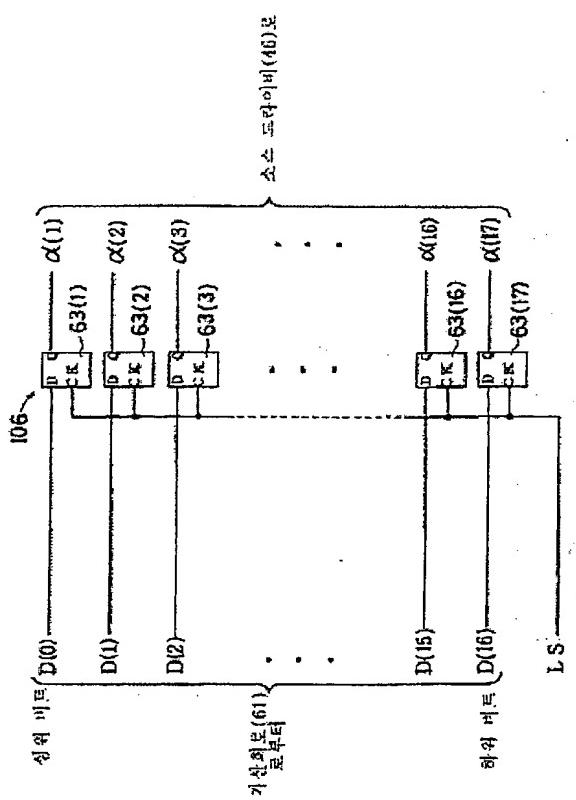
특 1999-007825?

도 87



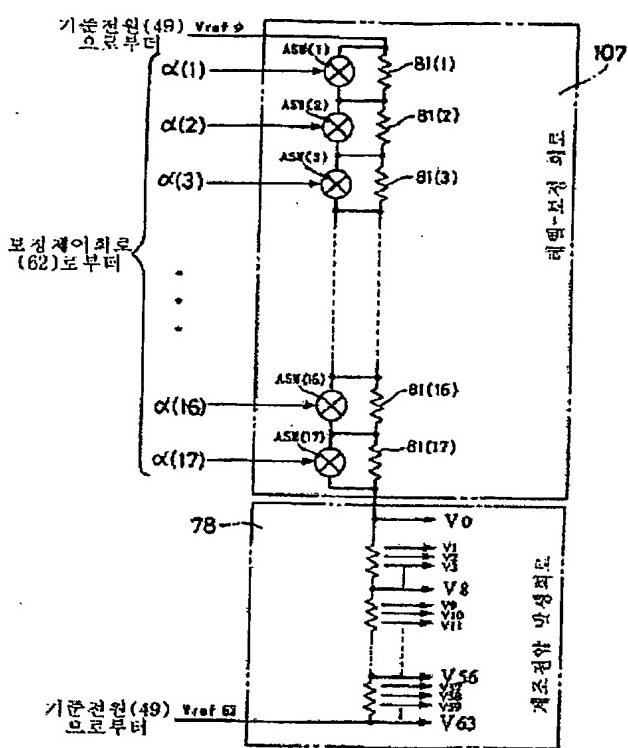
5 1999-0078257

五



1999-0078257

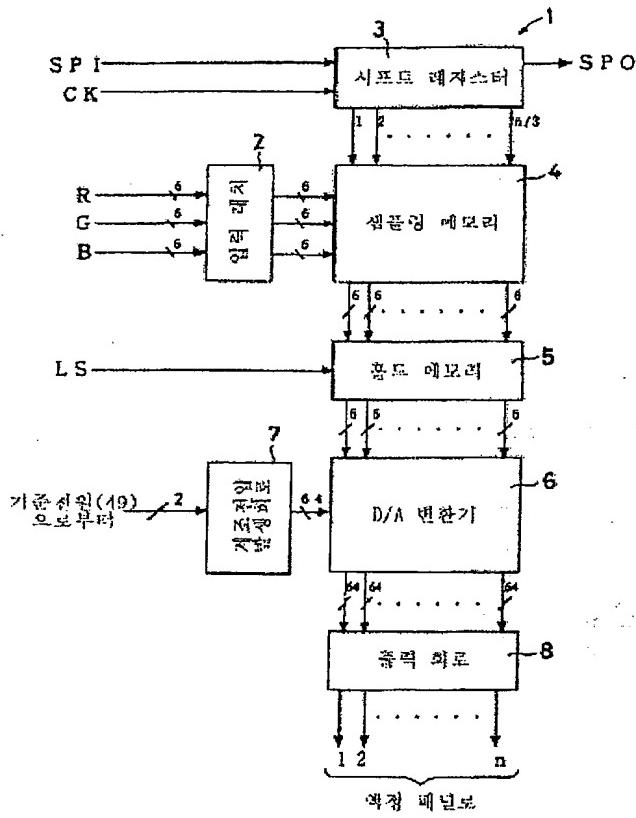
도29



특 1999-0078257

도면 10

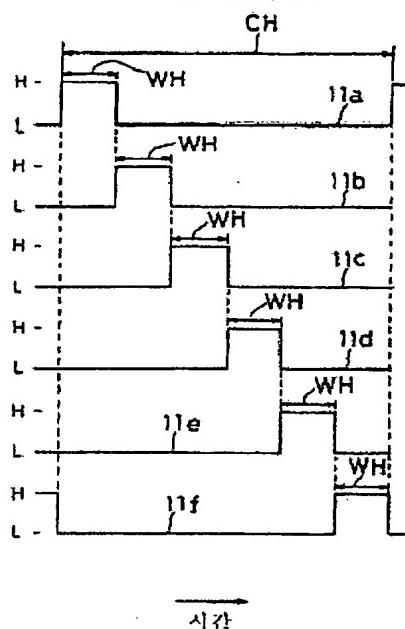
## 종래기술



특 1999-0078257

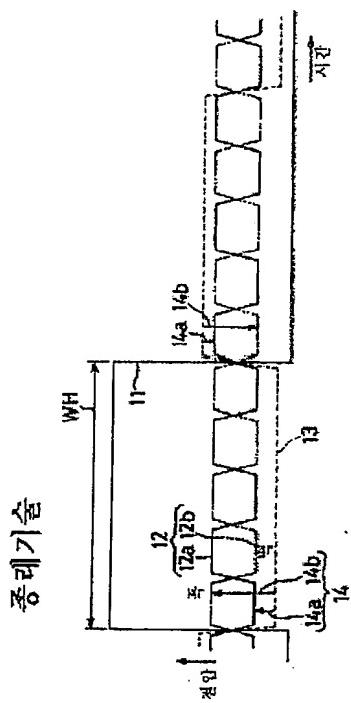
도면 11

## 종래기술



특 1999-0078257

도면 2



도면 3

최초의  
프레인

## 종래기술

제 작 업	일	1	2	3	4	5
		+	+	+	+	+
1	-	-	-	-	-	-
2	-	-	-	-	-	-
3	+	+	+	+	+	+
4	-	-	-	-	-	-
5	+	+	+	+	+	+
6	-	-	-	-	-	-

도면 4

최초의  
프레인

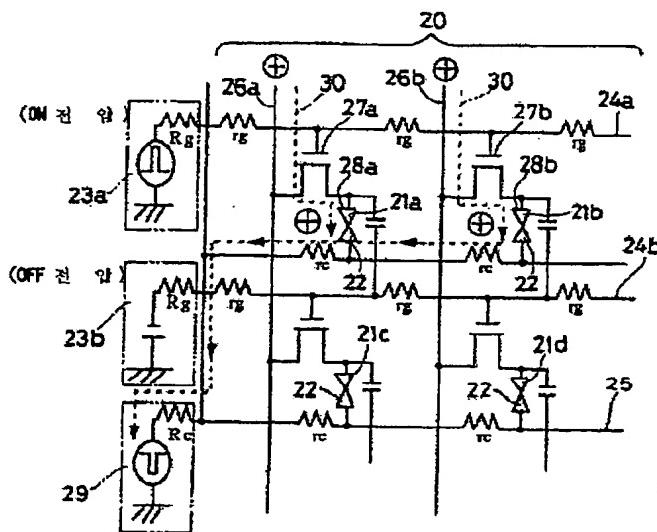
## 종래기술

제 작 업	일	1	2	3	4	5
		-	-	-	-	-
1	-	-	-	-	-	-
2	+	+	+	+	+	+
3	-	-	-	-	-	-
4	+	+	+	+	+	+
5	-	-	-	-	-	-
6	+	+	+	+	+	+

특 1999-0078257

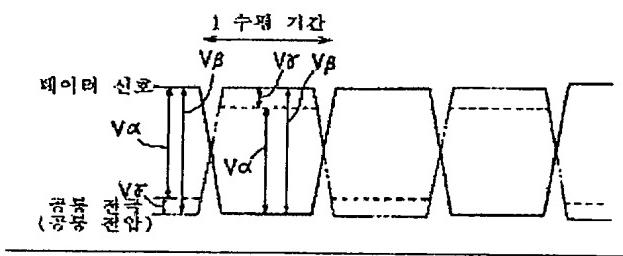
도면 4

## 종래기술



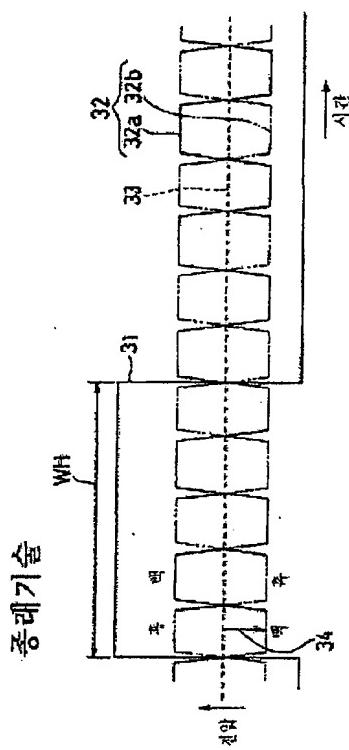
도면 5

## 종래기술



1999-0078257

도면 1



도면 2

종래기술

원	1	2	3	4	5	원	
						1	2
1	+	-	+	-	+		
2	-	+	-	+	-		
3	+	-	+	-	+		
4	-	+	-	+	-		
5	+	-	+	-	+		
6	-	+	-	+	-		

특 1999-0078257

도면번호

## 종래기술

다음 프레임	행	연	1	2	3	4	5
		-	+	-	+	-	
1	1	-	+	-	+	-	
2	2	+	-	+	-	+	
3	3	-	+	-	+	-	
4	4	+	-	+	-	+	
5	5	-	+	-	+	-	
6	6	+	-	+	-	+	

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**